

Corso di Architettura dei Sistemi a Microprocessore

Architettura dei Calcolatori



Luigi Coppolino

Riferimenti

➤ Riferimenti:

- Hamacher, Vranesic, Zaky, “Computer Organization and Embedded Systems”, (6th edition), McGraw-Hill: Chapter 1

Roadmap

- Tipi di computer
- Unità funzionali
 1. Memorie
 2. Processore
 3. I/O
 4. Datapath e Unità di Controllo
 5. Connessione delle unità: il BUS
 6. Ciclo di Esecuzione del processore
- Prestazioni
- Il Motorola 68K

Tipi di computer

- Personal Computers
 - Desktop computers
 - Notebook computers
- Smartphone, Tablet
- Carte a microprocessore
- Embedded Systems ...
 - Lavatrice
 - Smart TV
 - ...
- Cloud Computing

Esempio di Desktop

Computer desktop. Numerose offerte speciali per desktop disponibili su dell.it - Windows Internet Explorer

http://www1.euro.dell.com/content/products/category.aspx/desktops?c=it&cs=it&hs1&l=it&s=dhs

Adobe | Y! | Cerca | Traduci la pagina | Entra | Y! Mail | Answers | Il Mio Yahoo! | Notizie | Sport | Finanza

Google | arm | Cerca | Segnalibri | 9 bloccati | Controllo | Traduci | Invia | arm | Impostazioni

Computer desktop. Numerose offerte speciali per des...

Desiderate un'offerta? Chiamate 02 696 821 11

Carrello | Benvenuto in Dell.com

Prodotti | Servizi | Supporto | Assistenza Vendite | Conto

Desktop | Notebook | Elettronica e accessori | Stampanti e inchiostri

My account | Carrello | Stato ordini | Assistenza Vendite | E-Value

Dell consiglia Windows Vista™ Home Premium.

Siete qui: Italia > PRIVATI > Desktops

Desktop Dell

Restringere la scelta

Tipi

- Applicazioni di base per privati (3)
- Intrattenimento (3)
- XPS e prestazioni (5)

Famiglia prodotto

- Dimension (4)
- Precision (3)
- XPS (1)

Processore

- Intel Celeron D (1)
- Intel Pentium 4 (2)
- Intel Pentium D (2)
- Intel Xeon (2)
- Intel® Core® Duo (1)
- AMD Sempron™ (1)
- AMD Athlon™ 64 (2)
- AMD Athlon™ 64 x2 Dual-core (2)

Design

- Espandibile (3)
- Chassis compatto e di piccole dimensioni (2)

Visualizza Desktops

Collegamenti utili

- Windows Vista™
- Ulteriori informazioni su Windows Vista™
- Offerte Dell
- Confronta tutte le offerte limitate
- Offerte Special Partners
- Offerte a banda larga

COME È SEMPLICE LA VITA !

Organizzate e accedete alle vostre foto, video e musica in un lampo con Windows Vista™, ora disponibile su una selezione di desktops Dell

Windows Vista™

Risparmiate Fino a 100€

Offerta valida su una selezione di Notebook Inspiron™ e Desktop Dimension™. Ulteriori dettagli

ALTRÒ

Desktop Dell

Applicazioni di base per privati

PC affidabili e di facile utilizzo

- Attività quotidiane per lo studio o per il telelavoro
- Ideale per elaborazione di testi, posta elettronica e navigazione in Internet
- Perfetto per guardare DVD e creare CD

Intrattenimento

PC potente e dotato di funzionalità avanzate

- Creazione e modifica di file musicali, fotografici e video
- Applicazioni complesse per l'home office
- Grafica 3D avanzata
- Semplicità di sincronizzazione di dati da

XPS e Prestazioni

Esperienza innovativa

- I prodotti più innovativi dotati delle tecnologie più recenti
- Grafica e audio coinvolgenti per videogiochi 3D e film con un livello di realismo senza precedenti
- Creazione e editing avanzati di video digitali

Offerta della settimana

Offerte Speciali Partners

Proteggete il vostro nuovo Dell

Proteggere il tuo PC contro i Virus con McAfee® Security Center®

Ulteriori dettagli

Quale suite di Microsoft® Office è giusta per voi?

Ulteriori dettagli

Esempio di Notebook

The screenshot shows the Sony VAIO website in Italian, viewed in Internet Explorer. The browser's address bar displays the URL: http://vaio.sony.it/view/ShowProductCategory.action?referer=http%3A%2F%2Fwww.sony.it%2Fview%2FShowProductCategory.action%3Fsite%3D0dww_it_1. The website header includes the VAIO logo and the text "VAIO consiglia Windows Vista™ Business." Below the header is a navigation menu with options: HOME PAGE, PERCHÉ SCEGLIERE VAIO?, PRODOTTI, ASSISTENZA, and CLUB VAIO. A secondary menu includes NOTEBOOK VAIO, VAIO DIGITAL HOME, and ACCESSORI VAIO. The main content area is titled "Notebook VAIO" and features a grid of six product categories, each with an image of a laptop and a list of specifications:

- Serie AR:** Stile wide screen e specifiche di grande valore. Schermo widescreen X-black da 17.0" con tecnologia a doppia lampada. Windows Vista™ Home Premium originale. Processore Intel® Core™ 2 Duo. Fino a 2 GB di RAM. Fino a 240 GB. [Per saperne di più](#)
- Serie C:** Ispirato alla vita. Concepito per te. Schermo a cristalli liquidi X-black da 13.3" WXGA (1280 x 800). Windows Vista™ Home Premium originale. Processore Intel® Core™ 2 Duo. Fino a 2 GB di RAM. Fino a 120 GB. [Per saperne di più](#)
- Serie BX:** Tecnologie all'avanguardia per la sicurezza del tuo business. Schermo da 14.1" XGA (1024x768) e da 17.0" WUXGA (1920x1200) con doppia lampada. Microsoft® Windows® XP Professional Edition originale "Vista™ Capable", "Premium Ready". Processore Intel® Core™ 2 Duo. Fino a 1 GB di RAM. Fino a 320 (160*2) GB. [Visita VAIO Professional](#)
- Serie FE:** Vedere per credere. Schermo a cristalli liquidi X-black da 15.4" WXGA (1280 x 800) con tecnologia a doppia lampada. Windows Vista™ Home Premium originale. Processore Intel® Core™ 2 Duo. Fino a 2 GB di RAM. Fino a 200 GB. [Per saperne di più](#)
- Serie N:** Intelligenza ed eleganza. Schermo a cristalli liquidi X-black da 15.4" WXGA (1280 x 800). Windows Vista™ Home Premium originale. Processore Intel® Core™ Duo. Fino a 2 GB di RAM. Fino a 120 GB. [Per saperne di più](#)
- Serie UX:** Mobilità senza confini. Schermo a cristalli liquidi X-black da 4.5" WSVGA (1024 x 600) con tecnologia LED. Windows Vista™ Business originale. Processore Intel® Core™ Solo Ultra Low Voltage. 1 GB di RAM. Disco rigido da 32 GB (memoria flash).

Esempio di Smartphone/Tablet

RISOLUZIONE	1136 x 640 (326 ppi)	1280 x 720 (306 ppi)	1280 x 768 (331 ppi)
TIPOLOGIA SCHERMO	IPS Retina Display	Super AMOLED HD	PureMotion HD+ IPS LCD
BATTERIA	Non specificata	2100 mAh	2000 mAh
MEMORIA ROM	16/32/64 GB	16/32/64 GB	32 GB
ESPANSIONE	Nessuna	Micro-SDXC	Nessuna
FOTOCAMERA	8MP, LED, f/2.4	8MP, LED, f/2.6	8MP, LED, f/2.0
FOTOCAMERA FRONTALE	1.2 MP	2 MP	1.3 MP
NFC	No	Si	Si
BLUETOOTH	4	4	3.1
PROCESSORE	Apple A6 - Dual-core	Exynos 4412 - Quad-core	Snapdragon S4 - Dual-core
GPU	Non specificata	Mali-400MP	Adreno 225
RAM	1 GB	1 GB	1 GB
MHL	No	Si	Si
Wi-Fi	802.11 a/b/g/n dual-band	802.11 a/b/g/n dual-band	802.11 a/b/g/n
SISTEMA OPERATIVO	iOS 6	Android 4.0.4 ICS - aggiornabile a 4.1.1 Jelly Bean	Windows Phone 8

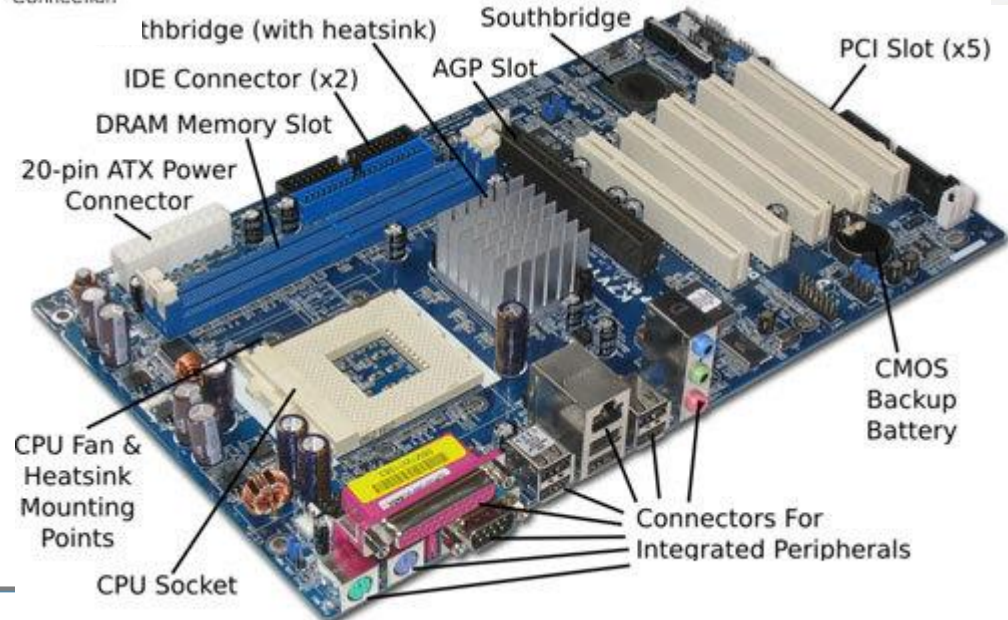
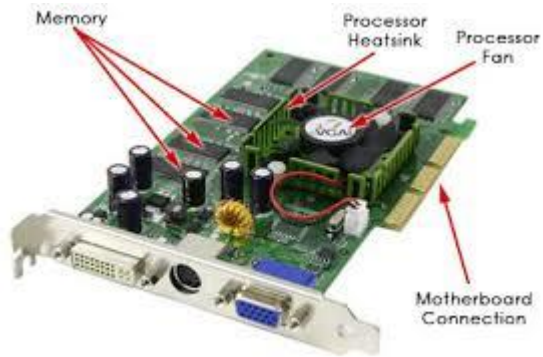


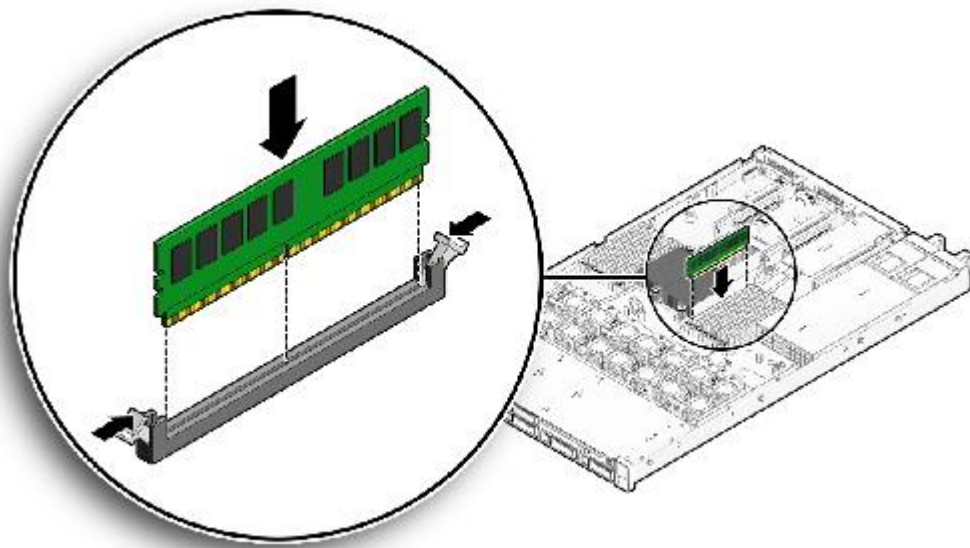
Processor	<ul style="list-style-type: none"> Nvidia Tegra 3 Quad-core 1.6GHz Cortex A9 	<ul style="list-style-type: none"> Apple A6X Dual-core GPU: PowerVR SGX543MP4
RAM	1GB	1GB
Screen size and type	<ul style="list-style-type: none"> 10.1 inch Super IPS+ LCD 	<ul style="list-style-type: none"> 9.7 inch IPS LCD
Resolution	1920 x 1200 pixels	1536 x 2048 pixels
DPI	224 ppi	264 ppi
Storage	32GB/64GB	16GB/32GB/64GB
microSD	Yes, up to 32GB	No
Battery	<ul style="list-style-type: none"> 25Wh 10 hours of use time 	<ul style="list-style-type: none"> 42.5 Wh 10 hours of use time
Rear Camera	<ul style="list-style-type: none"> 8MP 	<ul style="list-style-type: none"> 5MP



Overview dei componenti Hardware

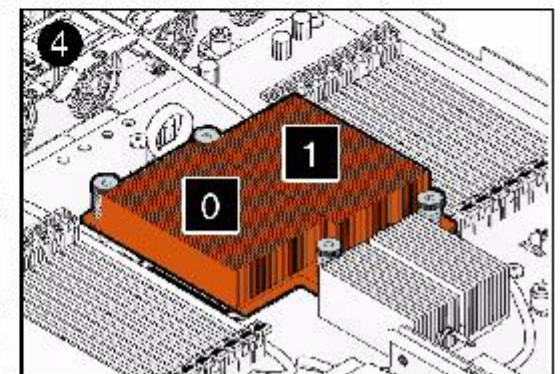
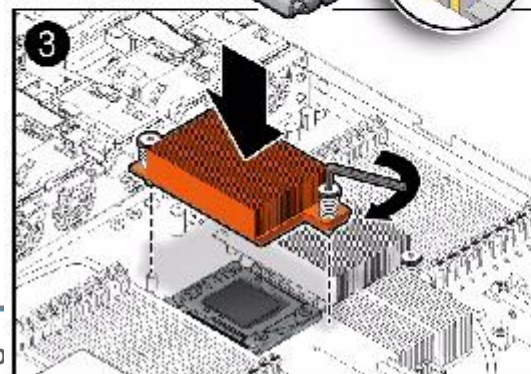
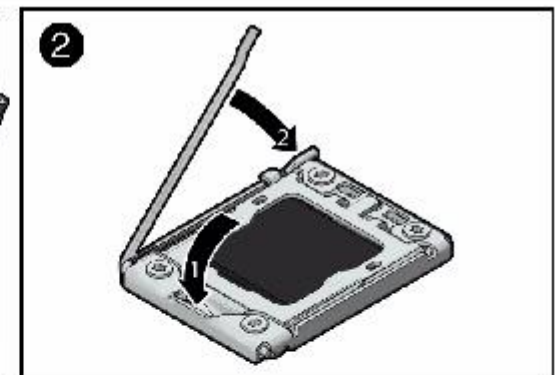
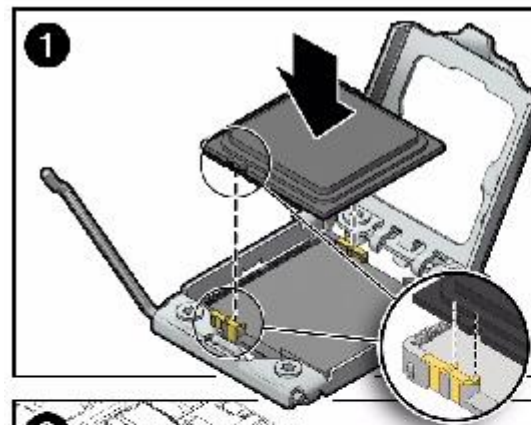


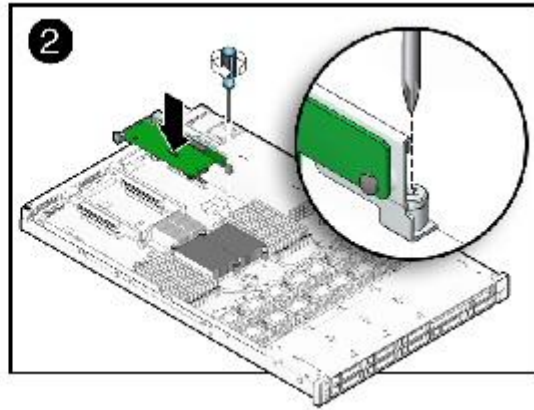
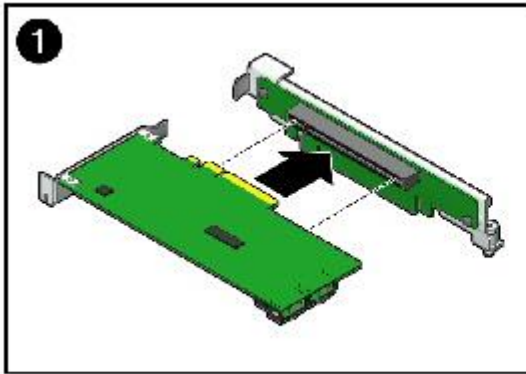




Installare una memoria DIMM

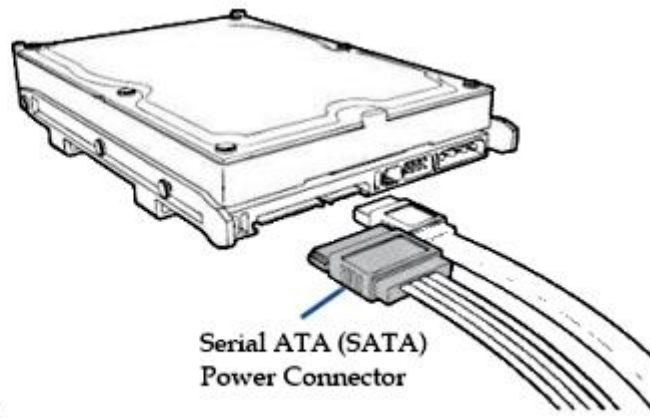
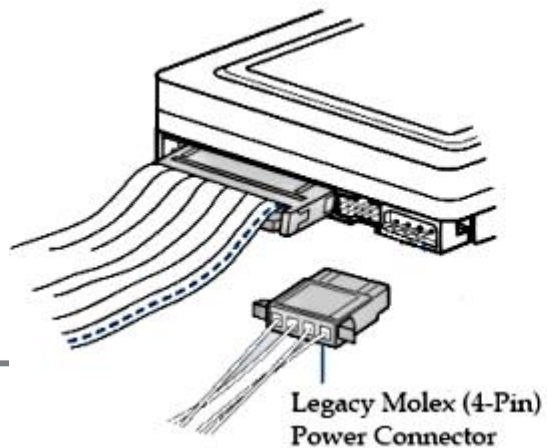
Installare una CPU





Installare una PCI card

Installare un HD IDE/SATA

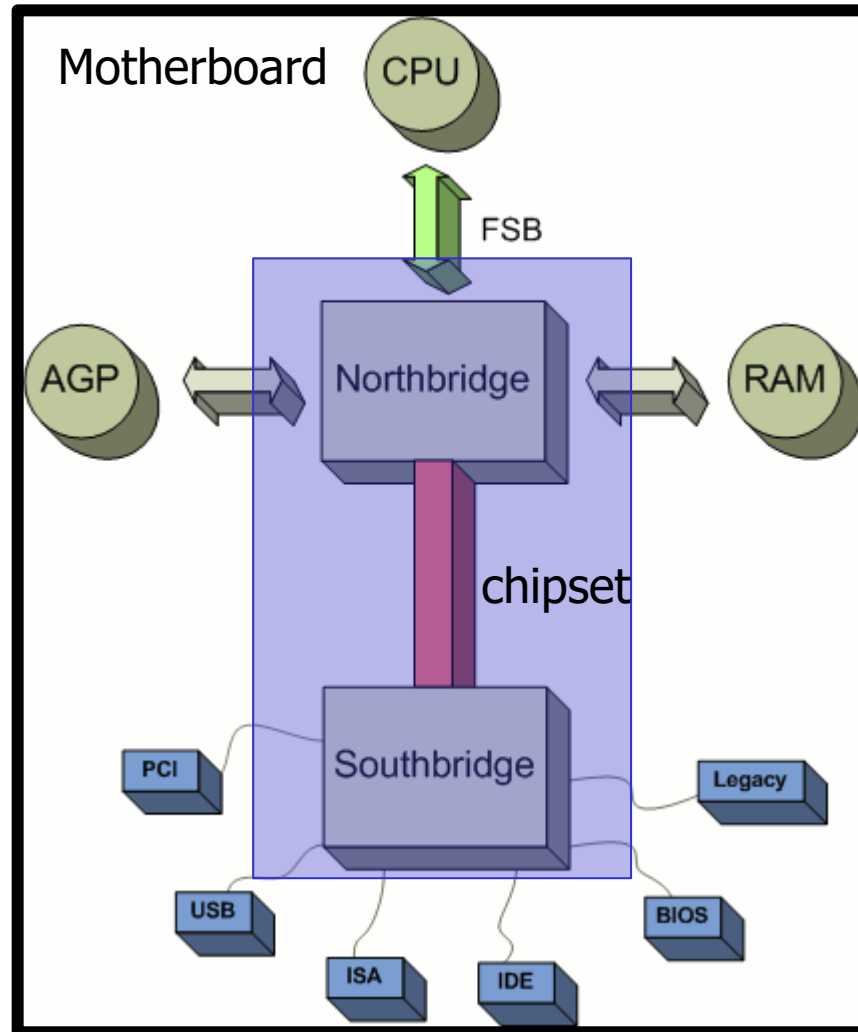


ATA

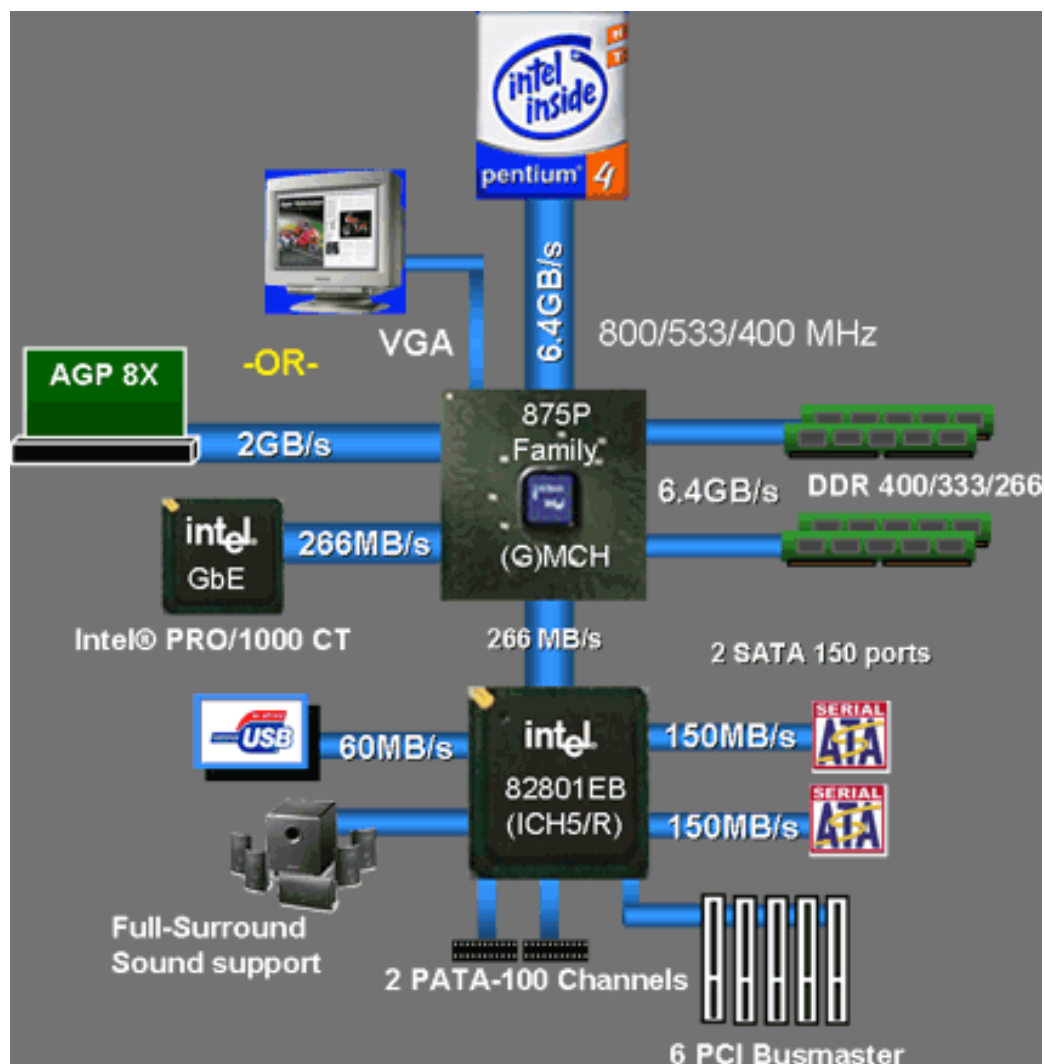
<http://www.fitnesslab.eu/>

SS) Research Group

Chipset (northbridge and southbridge)



Un esempio dal mondo reale



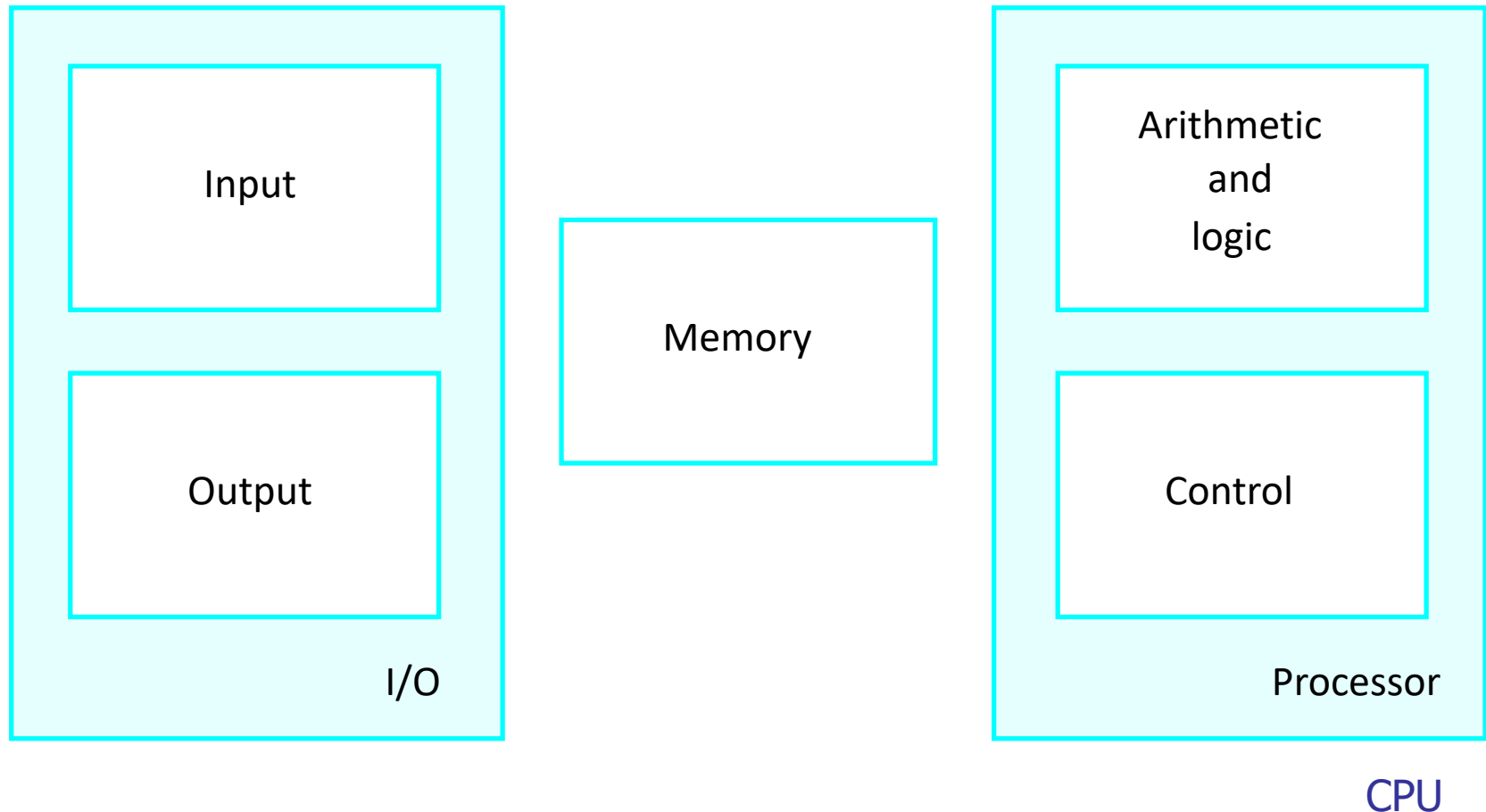
Domande

- Cos'è una GPU?
- Che protocolli di comunicazione si utilizzano per comunicare con la GPU?
- Cosa è il Northbridge?



Organizzazione di un sistema a microprocessore

Unità funzionali



@@@ È un modello concettuale, i.e. non corrisponde alla reale implementazione fisica

Unità di I/O

- Input: Typical devices – keyboard, touchpad, mouse, microphone, camera, communication lines, the Internet
- Output: Typical devices – text and graphics displays, printers

Il processore

- È in grado di eseguire un set di azioni elaborative elementari (**istruzioni**) più o meno complesse
- Una istruzione ha una lunghezza tipicamente multipla della lunghezza di parola
- Una sequenza di istruzioni costituisce un **programma**
- Un programma, ed i dati su cui esso opera, deve essere in memoria principale per poter essere eseguito

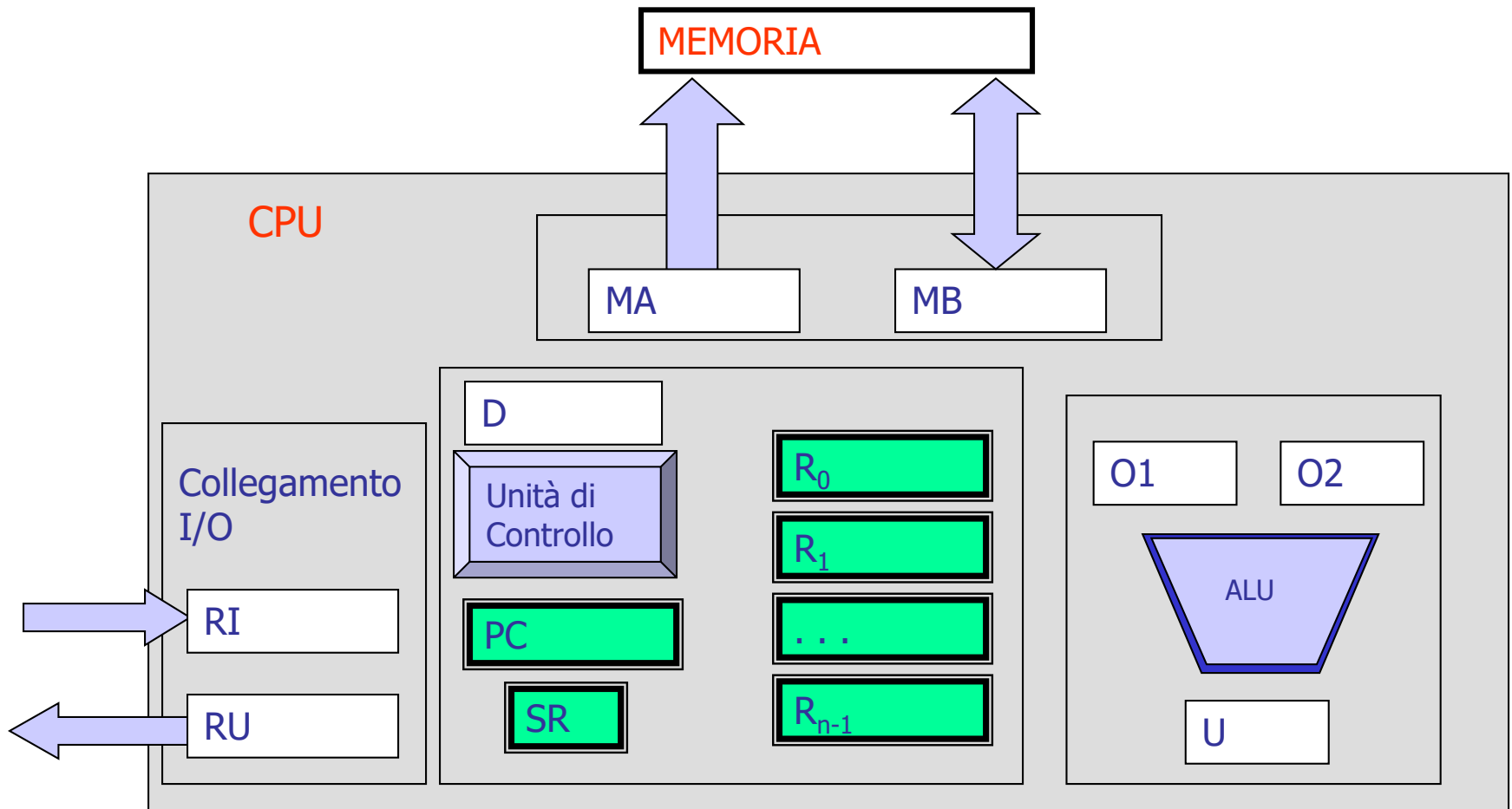
Tipi di istruzione

Tre tipi principali

- **Load** – sposta un dato dalla memoria (o un input) al processore
- **Store** – sposta un dato da un registro del processore alla memoria (o un dispositivo di output)
- **Operate** – esegue una operazione aritmetica o logica su dati presenti nei registri del processore

Modello architetturale di un processore

Modello a registri generali



Componenti fondamentali del processore

- Registro Program Counter (PC) o Prossima Istruzione
- Instruction Register (IR) o Registro di decodifica (D)
- Registri di uso generale R_0, \dots, R_{n-1}
- Registro di stato (SR)
- Collegamento con la memoria
 - » Registro Memory Address (MA)
 - » Registro Memory Buffer (MB)
- Collegamento con i dispositivi di input/output (I/O)
 - » Registro di input (RI) e Registro di output (RO)
- Unità aritmetico/logica (ALU)
 - » Registri di appoggio per la ALU (O1, O2, U)
- Unità di controllo

Registri del processore

➤ Registri interni

- » Necessari al funzionamento del processore
- » Non direttamente visibili al programmatore (non appartengono al *modello di programmazione*)

➤ Registri di macchina

- » Visibili al programmatore (appartengono al *modello di programmazione*)
 - Registri generali
 - Registri speciali

Processore a registri generali

- Il processore dispone di un set di registri R_0, R_1, \dots, R_{N-1} utilizzabili indifferentemente
- Le istruzioni che operano su registri sono più veloci di quelle che operano su locazioni di memoria
- Il programmatore può utilizzare i registri del processore per memorizzare i dati di uso più frequente (concetto di gerarchia di memorie)
- Istruzioni con operandi registri:
 $[R_0] + [R_1] \rightarrow R_1$
- Istruzioni con operandi memoria-registri:
 $[R_0] + M[1000] \rightarrow R_0$ *memory-to-register*
 $M[1000] + [R_1] \rightarrow M[1000]$ *register-to-memory*

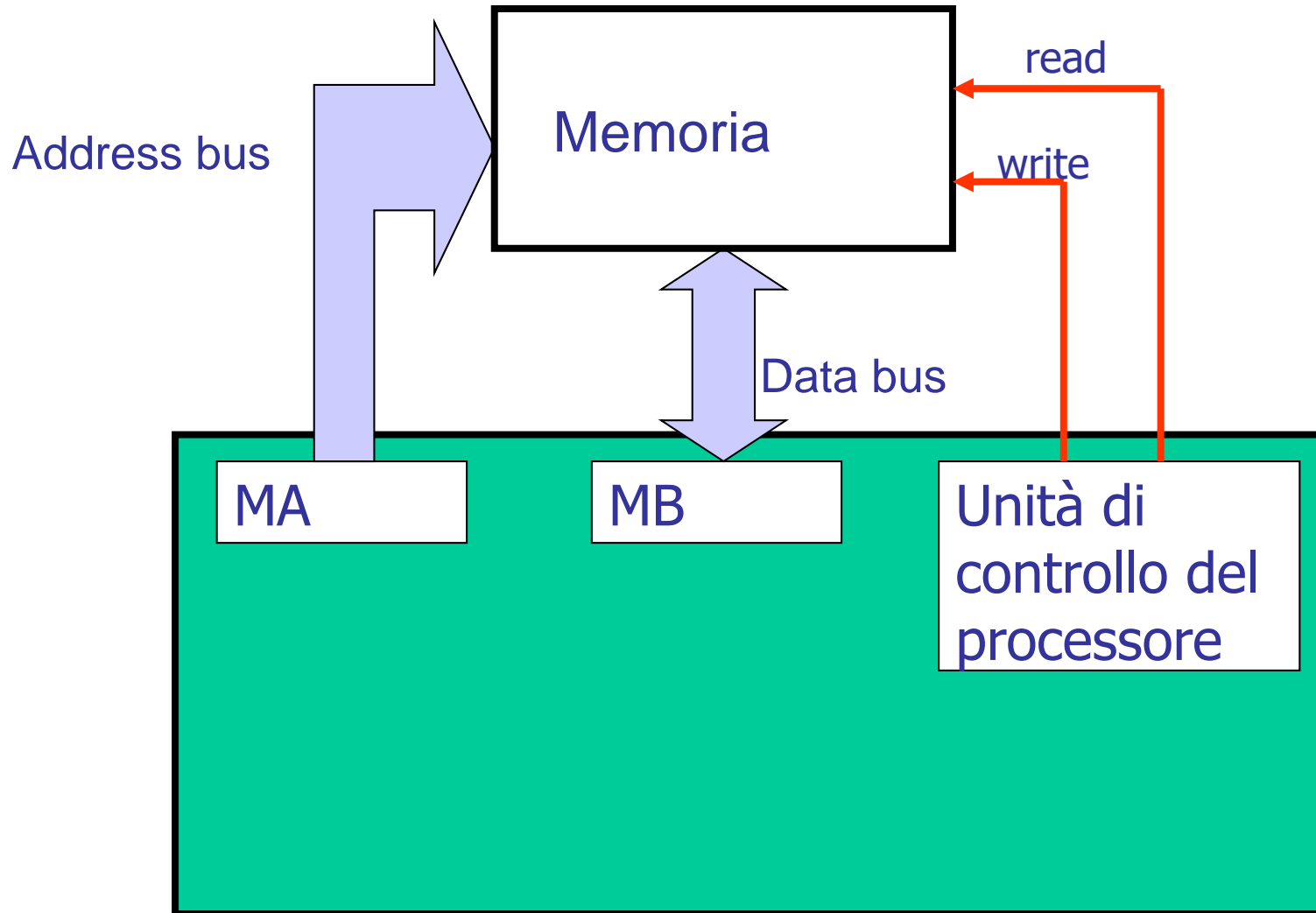
Funzioni dei registri di macchina

- Indirizzo dell'istruzione corrente (PC)
- Transito dati (qualunque registro generale)
- Accumulazione di risultati

» es: $R0 := NOT R0$ oppure $R0 := R0 + R1$

- Indirizzamento
- Indicatori o flag (Registro di Stato)
- Altre funzioni speciali

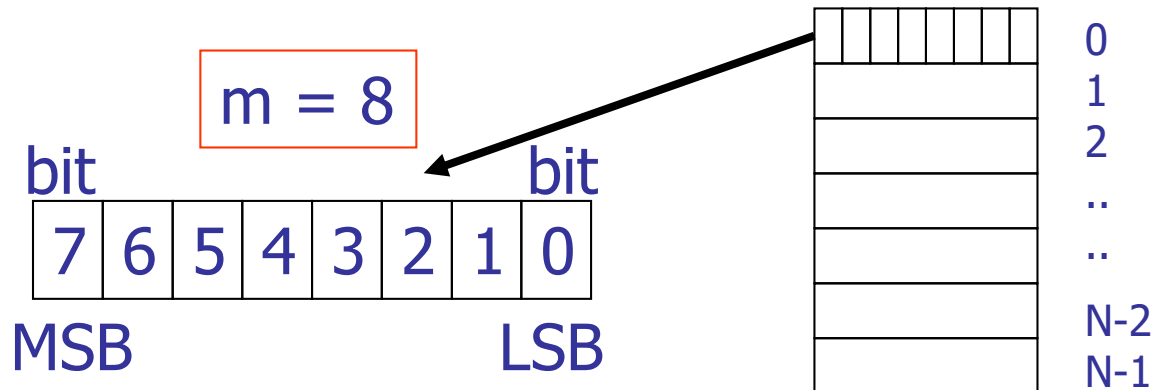
Interazione processore-memoria



Memoria Primaria

Anche detta Main memory

- Celle binarie dette **bit**, organizzate in words tipicamente di 32 bits
- Una parola (word) di 32-bit contiene quattro **bytes** di 8-bit
- Un personal computer ha tipicamente una memoria tra i 2 e i 4 Gigabytes (10⁹ bytes)
- I **programmi** ed i relativi **dati** devono essere in questa memoria per poter essere eseguiti

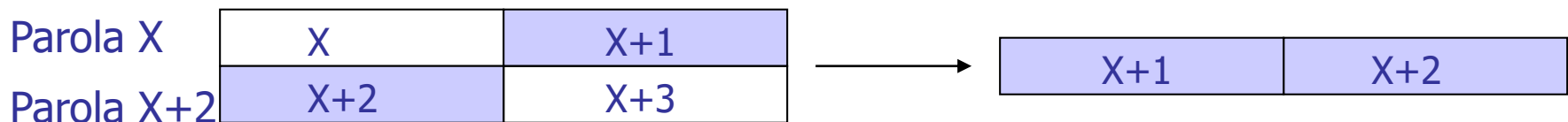


Processori a parola e processori a carattere

- I processori “a parola” hanno la memoria organizzata in locazioni (parole o *word*) di 16 bit, 32 bit o 64 bit
- I processori “a carattere” accedono alla memoria con un parallelismo di 1 byte (8 bit)
- La maggior parte dei sistemi moderni accede alla memoria con un parallelismo di “parole” da 16, 32 o 64 bit, ma l’unità indirizzabile di memoria (locazione) è ancora il byte (sistemi a memoria *byte-addressable*)

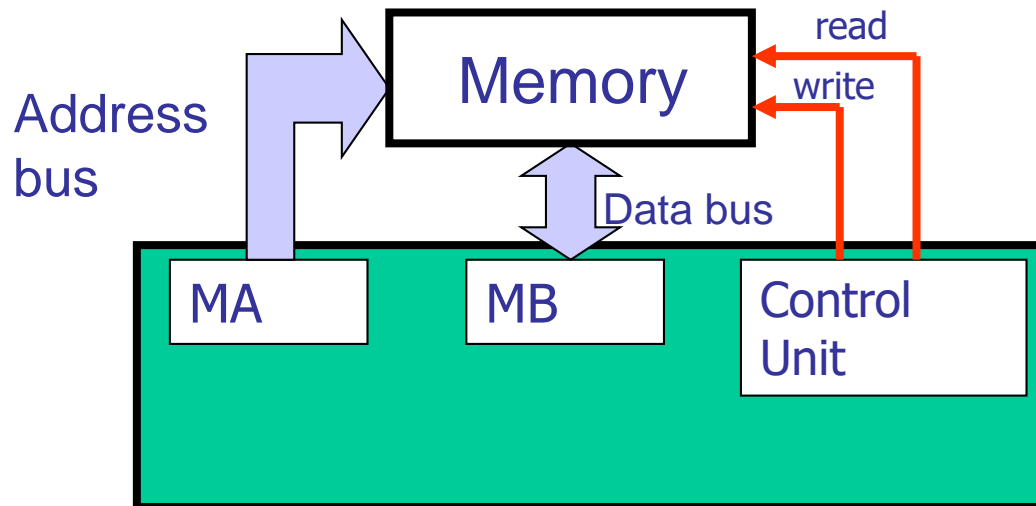
Memoria: parole allineate e non allineate

- Per un processore a parola di 16 bit, una *parola* che inizia ad un indirizzo pari si dice “allineata sul limite di parola”
- Tipicamente, un tale processore è in grado di accedere ai due byte che costituiscono una parola allineata mediante una sola operazione di lettura
- Il processore 8086 consente l’utilizzo di parole non allineate, cioè parole che iniziano ad un indirizzo dispari, ma in tal caso sono necessari 2 distinti accessi in memoria
- Il processore 68000 NON consente l’accesso a parole non allineate



(X pari) La parola (X+1) non è allineata sul limite di parola

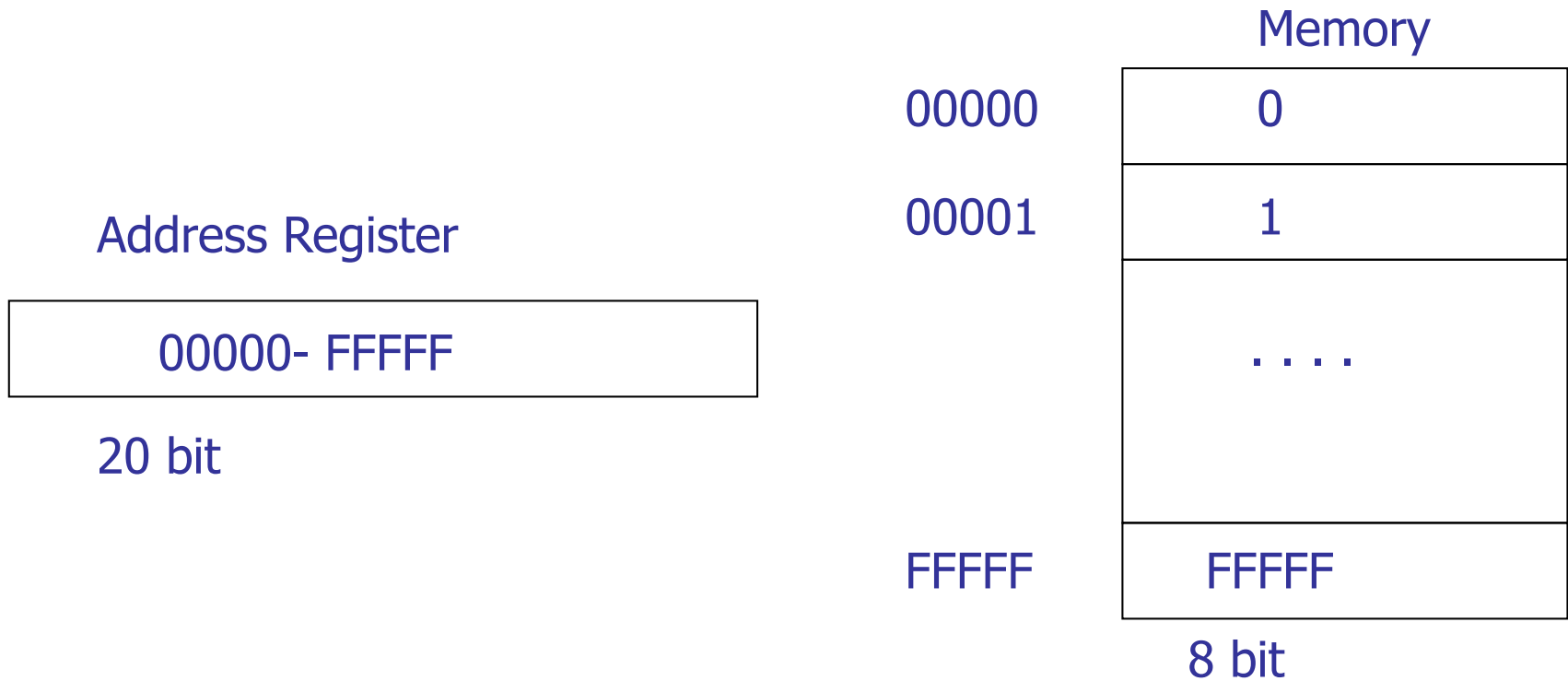
- Not all the MA register bits must be connected to the bus, thus:
 - Logical address space can be lower than physical address space => “aliasing”



Example

- Draw the schema of a memory architecture with the following characteristics:
 - Logical address space: 1MB
 - Physical address space: 1MB
 - Word length: 1 byte
 - Accessibility: byte addressable

Solution

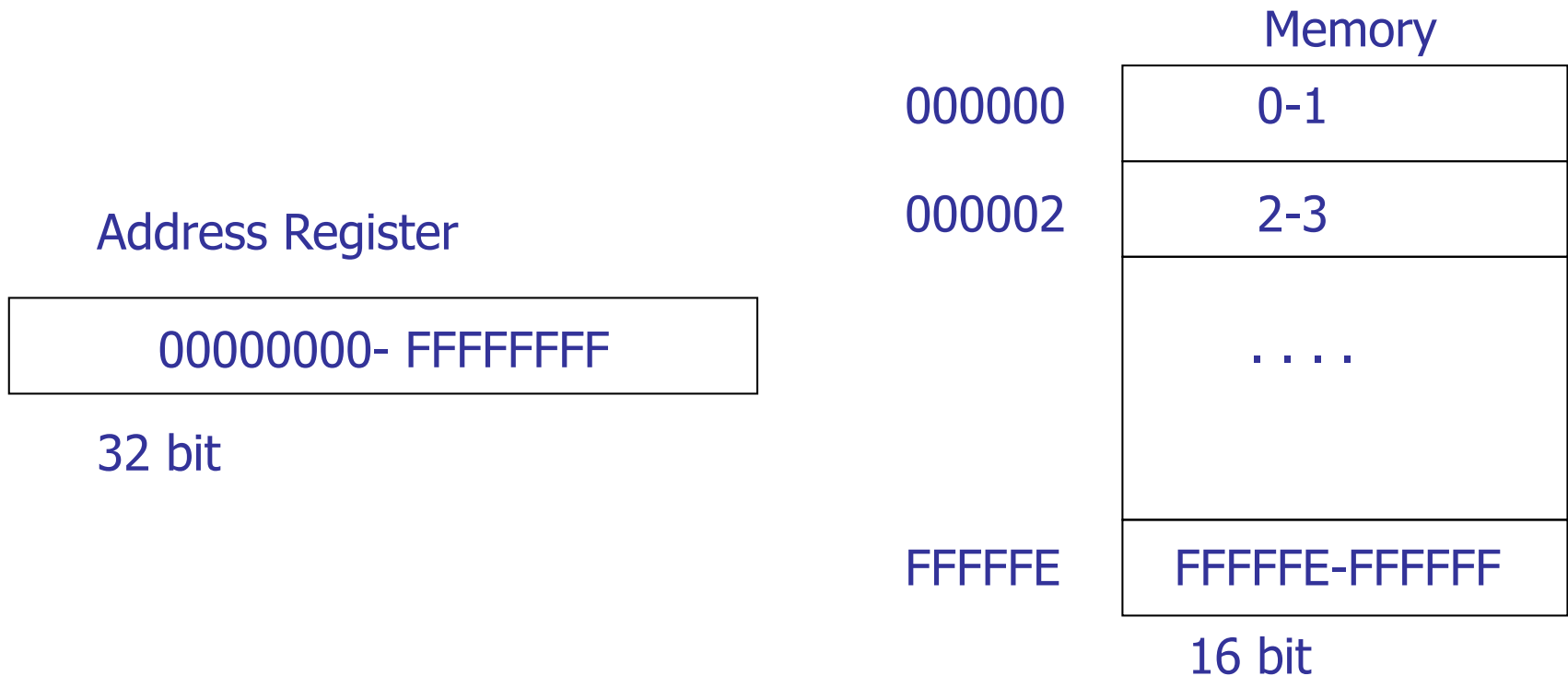


➤ The MC68008 is organised in this way

Example

- Draw the schema of a memory architecture with the following characteristics:
 - Logical address space: 4GB
 - Physical address space: 16MB
 - Word length: 2 byte
 - Accessibility: byte addressable

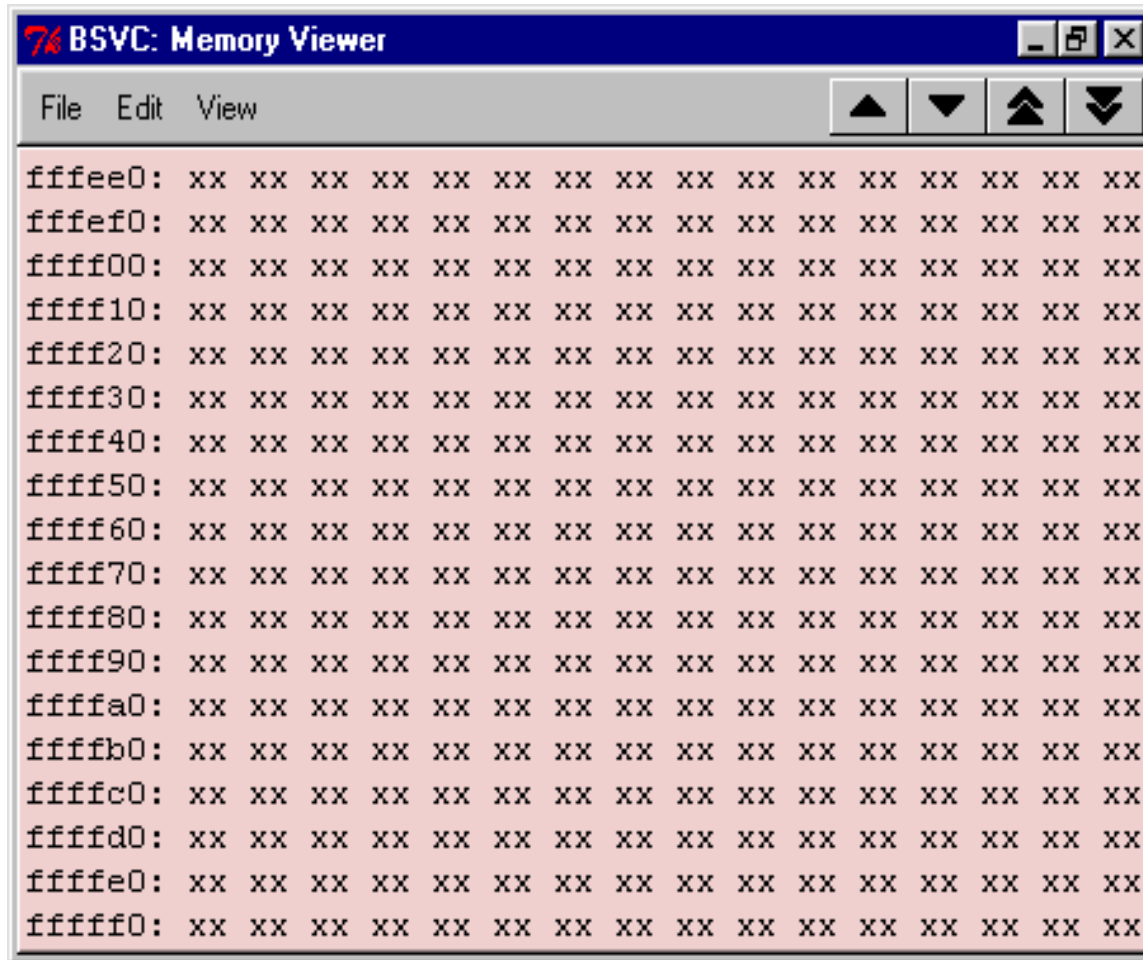
Solution



➤ The MC68000 and MC68010 are organized in this way

BSVC memory

- The MC68000 memory view offered by a simulator



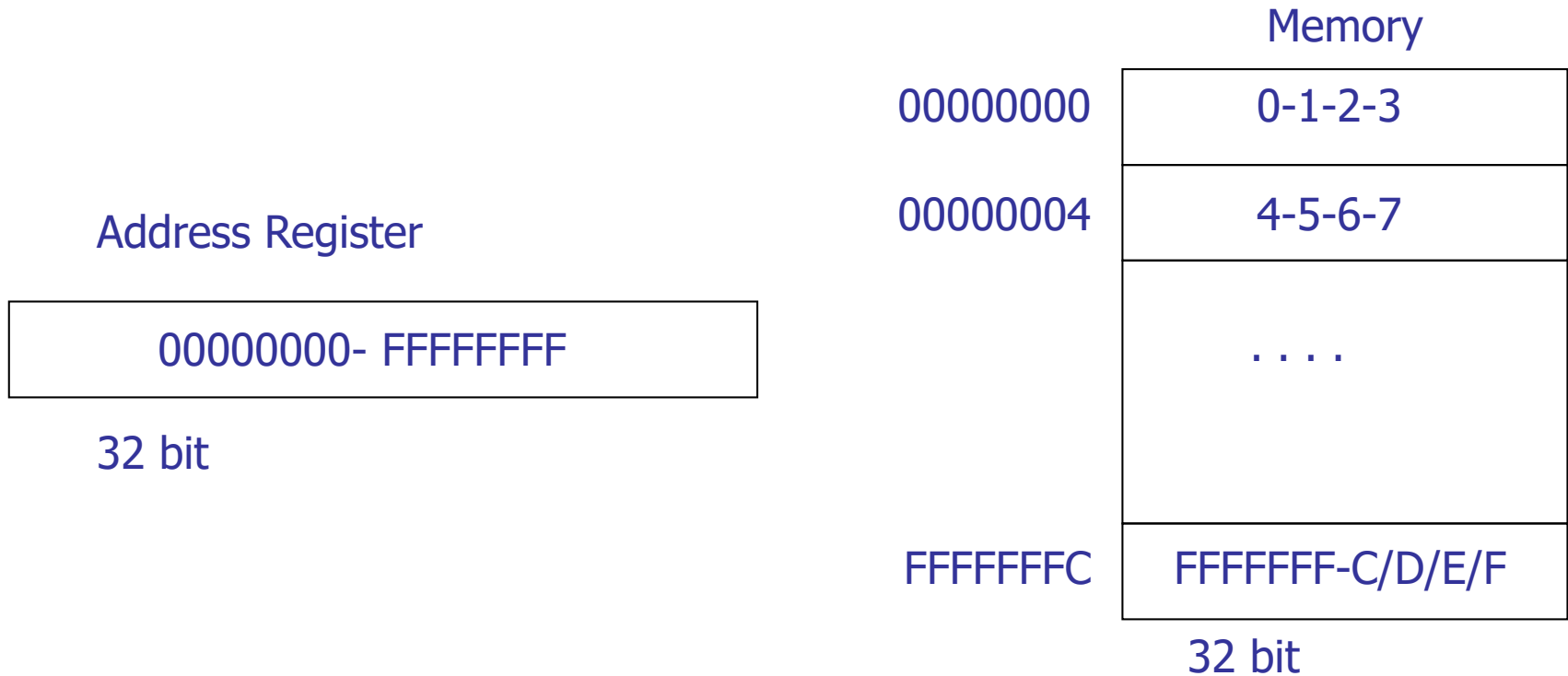
The screenshot shows a window titled "74 BSVC: Memory Viewer" with a menu bar containing "File", "Edit", and "View". Below the menu bar are four navigation buttons: a left arrow, a right arrow, an up arrow, and a down arrow. The main area of the window displays a memory dump with 17 rows. Each row shows a hexadecimal address followed by 16 pairs of "xx" characters, representing memory contents.

```
ffffe0: xx xx xx xx xx xx xx xx xx xx xx xx xx xx xx
fffff0: xx xx xx xx xx xx xx xx xx xx xx xx xx xx xx
ffff00: xx xx xx xx xx xx xx xx xx xx xx xx xx xx xx
ffff10: xx xx xx xx xx xx xx xx xx xx xx xx xx xx xx
ffff20: xx xx xx xx xx xx xx xx xx xx xx xx xx xx xx
ffff30: xx xx xx xx xx xx xx xx xx xx xx xx xx xx xx
ffff40: xx xx xx xx xx xx xx xx xx xx xx xx xx xx xx
ffff50: xx xx xx xx xx xx xx xx xx xx xx xx xx xx xx
ffff60: xx xx xx xx xx xx xx xx xx xx xx xx xx xx xx
ffff70: xx xx xx xx xx xx xx xx xx xx xx xx xx xx xx
ffff80: xx xx xx xx xx xx xx xx xx xx xx xx xx xx xx
ffff90: xx xx xx xx xx xx xx xx xx xx xx xx xx xx xx
ffffa0: xx xx xx xx xx xx xx xx xx xx xx xx xx xx xx
ffffb0: xx xx xx xx xx xx xx xx xx xx xx xx xx xx xx
ffffc0: xx xx xx xx xx xx xx xx xx xx xx xx xx xx xx
ffffd0: xx xx xx xx xx xx xx xx xx xx xx xx xx xx xx
ffffe0: xx xx xx xx xx xx xx xx xx xx xx xx xx xx xx
fffff0: xx xx xx xx xx xx xx xx xx xx xx xx xx xx xx
```

Example

- Draw the schema of a memory architecture with the following characteristics:
 - Logical address space: 4GB
 - Physical address space: 4GB
 - Word length: 4 byte
 - Accessibility: byte addressable

Soluzione



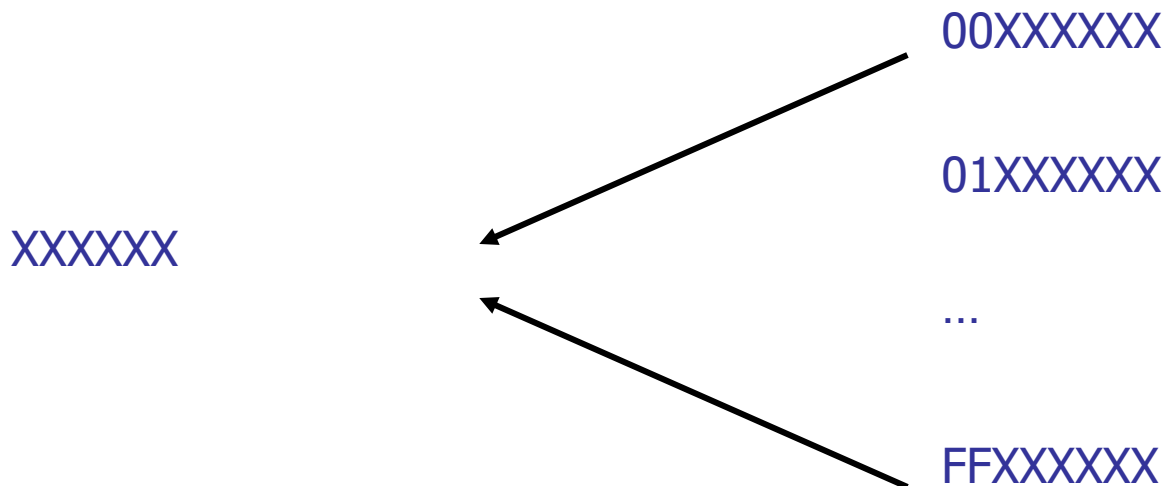
- MC68020 and following architectures are organised this way

Example

- The MC68000 memory architecture has the following characteristics:
 - Logical address space: 4GB
 - Physical address space: 16MB
- The MC68020 memory architecture has the following characteristics:
 - Logical address space: 4GB
 - Physical address space: 4GB
- Show the aliasing regions among the two processors

Solution

- For each address of the MC68000 there are 256 distinct addresses in the MC68020 processor.
- The aliasing regions are identified by the following pattern:

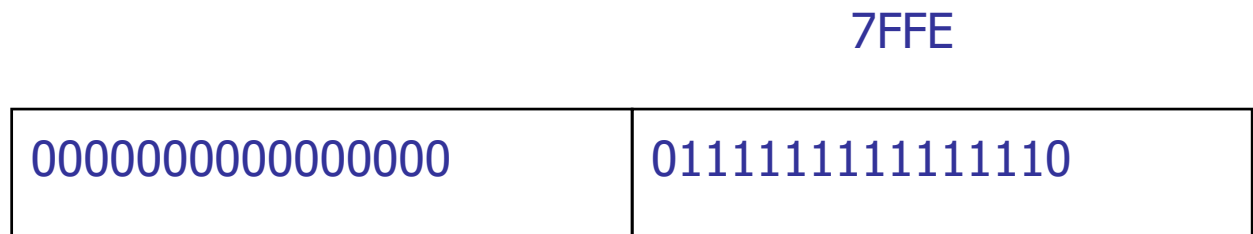
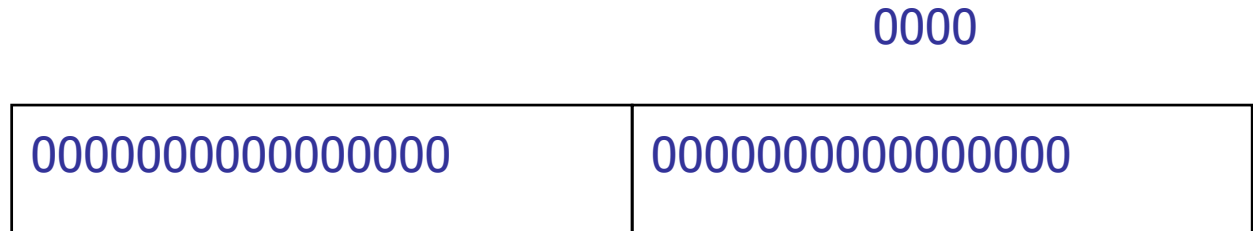


Example

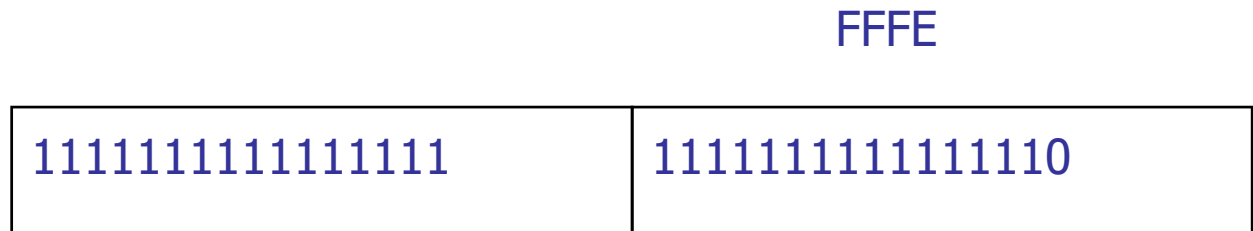
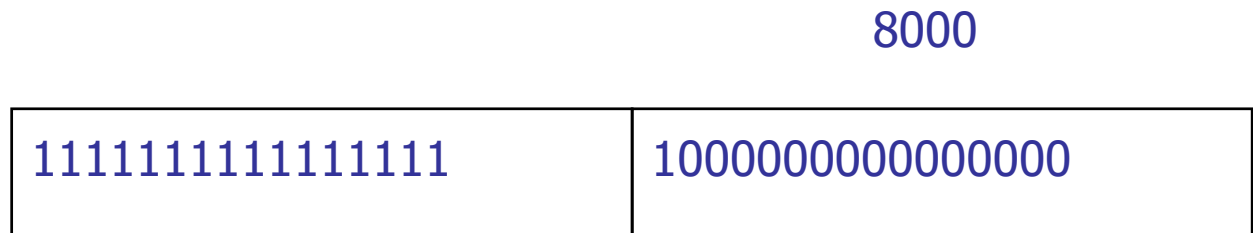
- By extending a 16 bit address with its sign bit, to show the memory area addressed in a 32-bit architecture

Soluzione

- Addresses between 0000 and 7FFE are mapped on the first 32KB of the 4GB memory

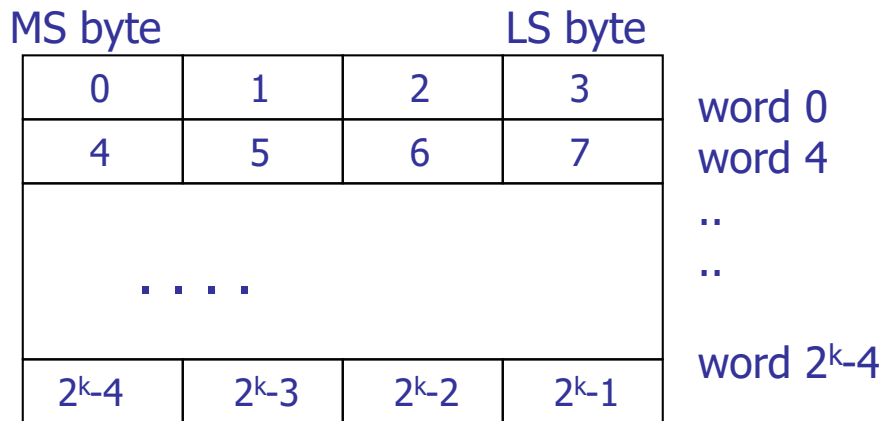


- Addresses between 8000 and FFFE are mapped on the last 32KB of the 4GB memory

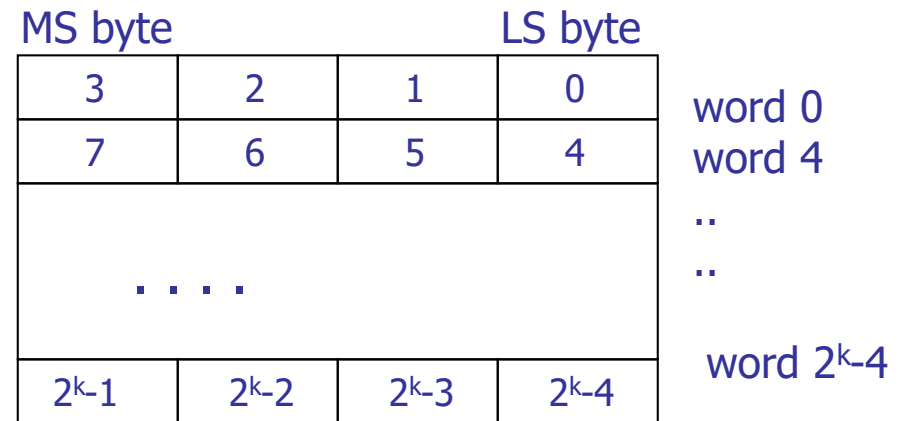


Organizzazione della parola

- Abbiamo già detto che
 - Una parola è tipicamente organizzata in gruppi di 16 bit, 32 bit, or 64 bit
 - La memoria è tipicamente byte-addressable
- Poiché la word è fatta da più byte, l'ordinamento dei byte all'interno della memoria può seguire due convenzioni: **big endian** e **little endian**



BIG-ENDIAN ordering



LITTLE-ENDIAN ordering

Domande di riepilogo

- Cos'è il registro PC?
- Cosa si intende per registro generale?
- Cos'è il registro IR?
- Cosa si intende per spazio di indirizzamento logico?
- Su cosa impatta la larghezza del memory buffer?

Memoria Secondaria

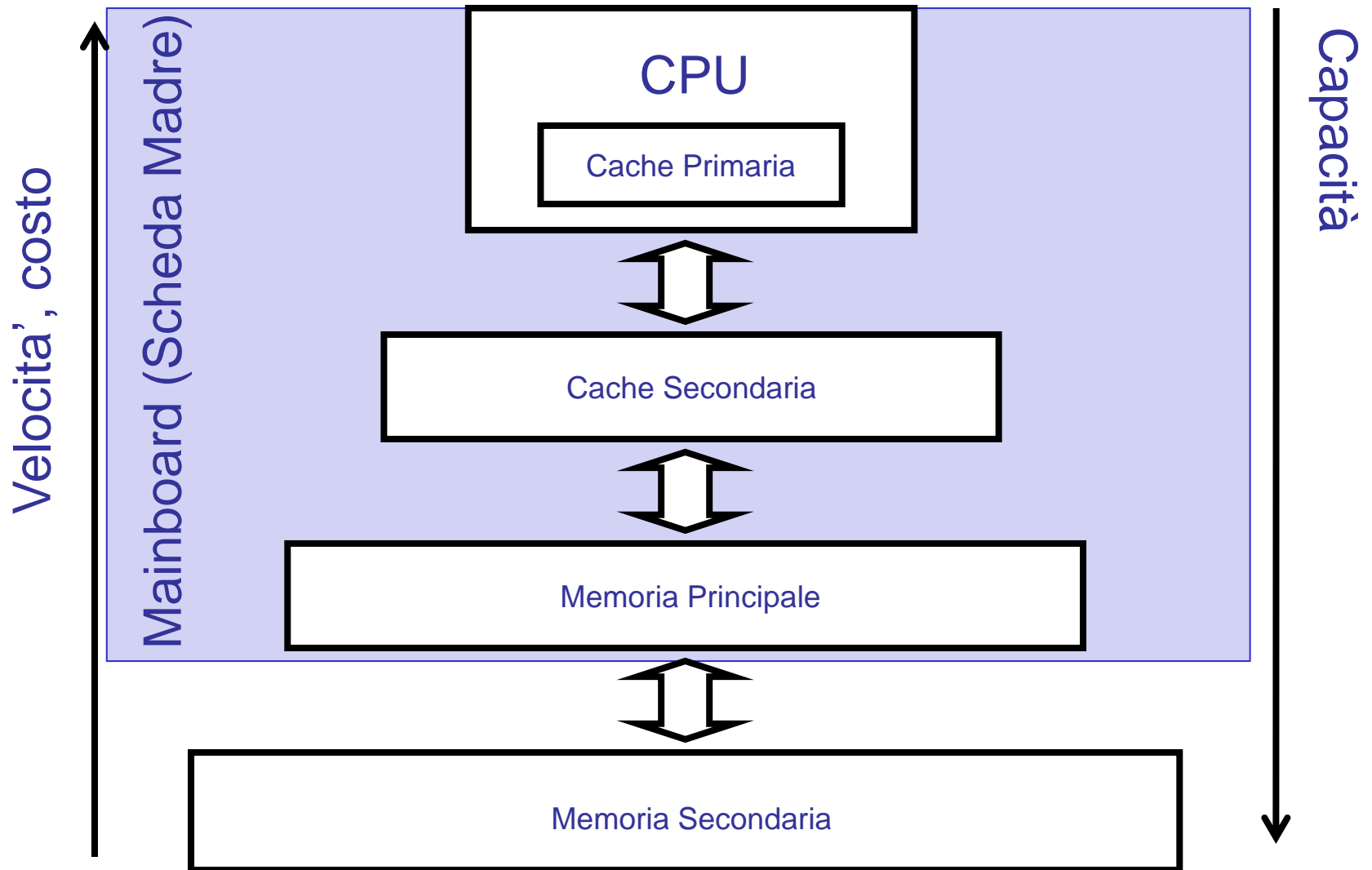
O memoria di massa

- magnetic disks, optical disks, flash memory devices
- è utilizzata per l'archiviazione di dati e programmi
- valori tipici (disco) 500 Gigabytes o Terabytes (10^{12} bytes)

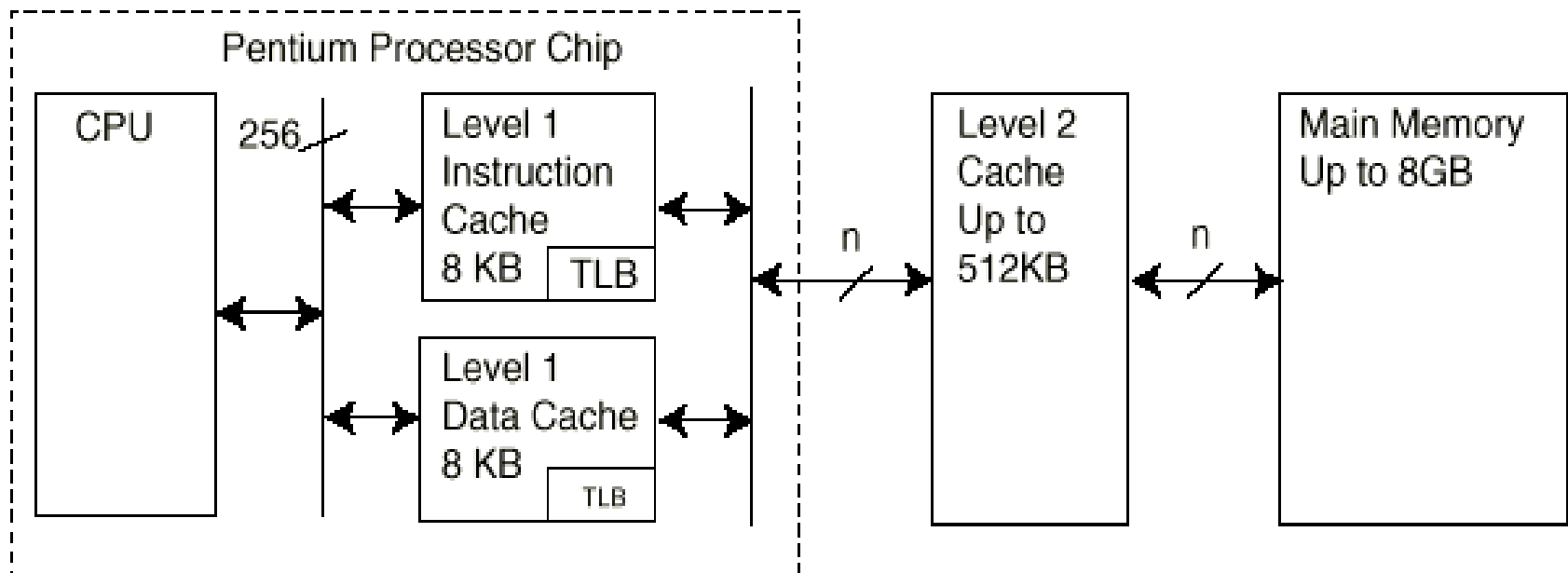
Memoria Cache

- Tipicamente collocata sul chip del processore
- Più piccola ma più veloce della memoria principale
- Contiene le porzioni di programma correntemente in esecuzione ed i dati su cui tali porzioni di programma stanno operando

Gerarchia di Memoria

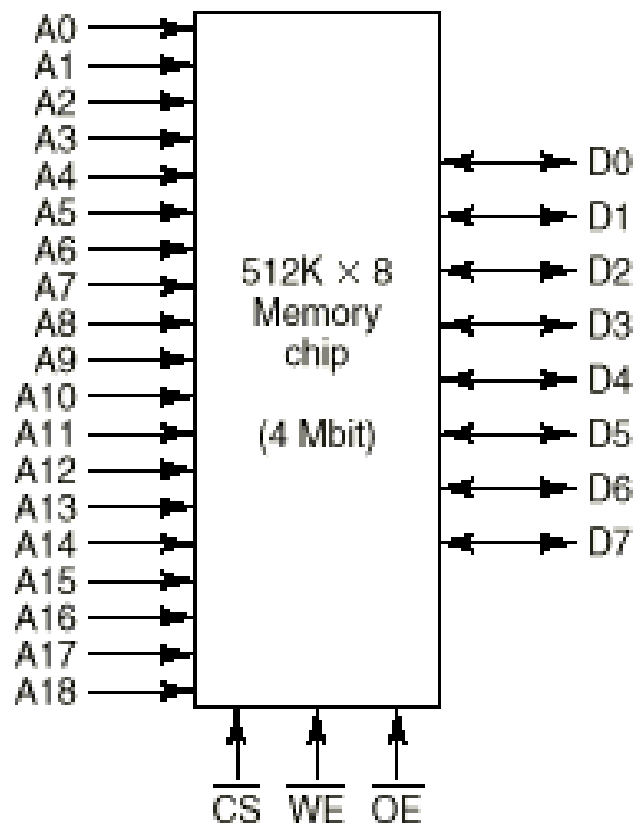


La gerarchia di memoria del Pentium



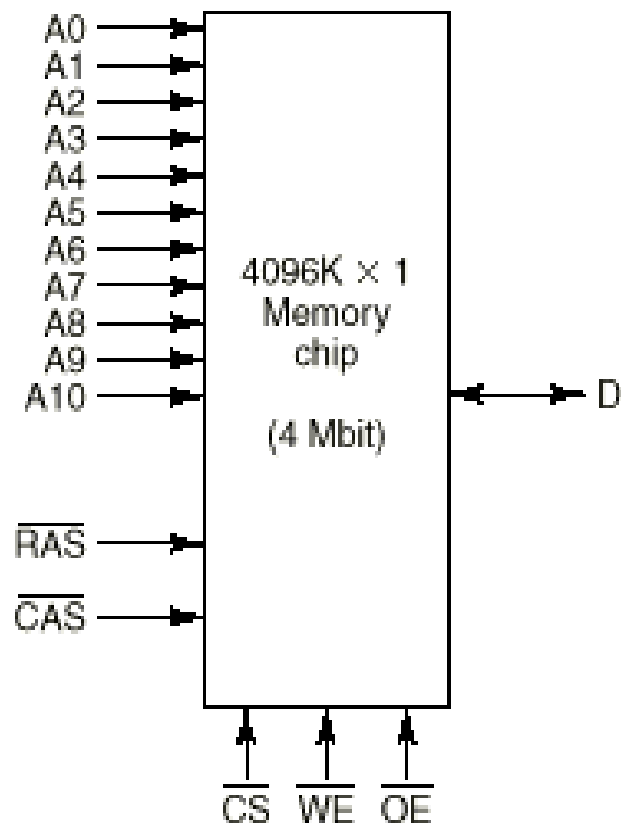
Esempi di chip di memoria

512 K * 8 bit



(a)

4096 K * 1 bit



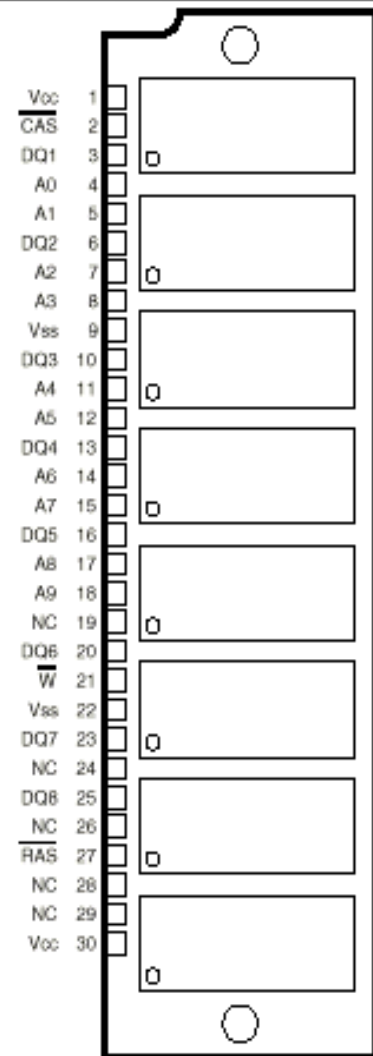
(b)

Single-In-Line Memory Module

➤ Adattato da:

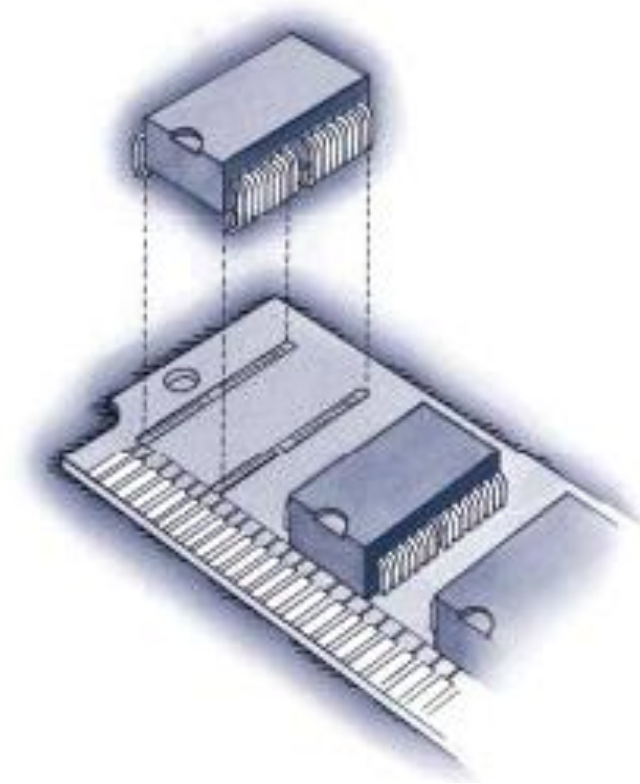
- Texas Instruments MOS Memory: Commercial and Military Specifications DataBook, Texas Instruments, Literature Response Center, P.O. Box 172228, Denver, Colorado, 1991

PIN NOMENCLATURE	
A0-A9	Address Inputs
$\overline{\text{CAS}}$	Column-Address Strobe
DQ1-DQ8	Data In/Data Out
NC	No Connection
$\overline{\text{RAS}}$	Row-Address Strobe
V_{CC}	5-V Supply
V_{SS}	Ground
$\overline{\text{W}}$	Write Enable



Montaggio dei moduli su una SIMM

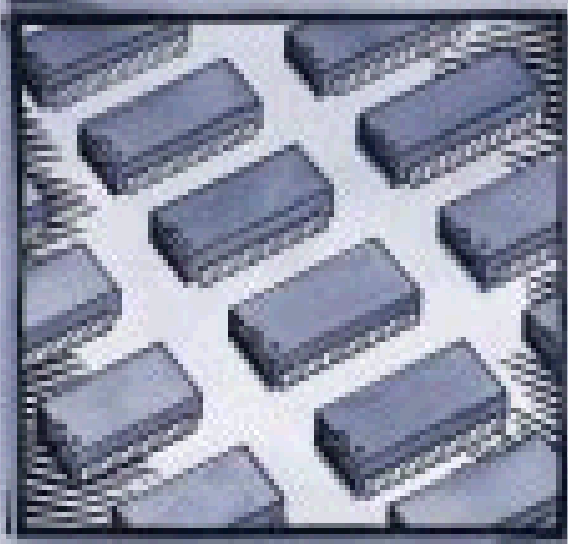
- DRAM IC
 - DRAM Integrated Circuit
- PCB
 - Printed Circuit Board
- SIMM socket
 - Single In-Line Memory Module Socket



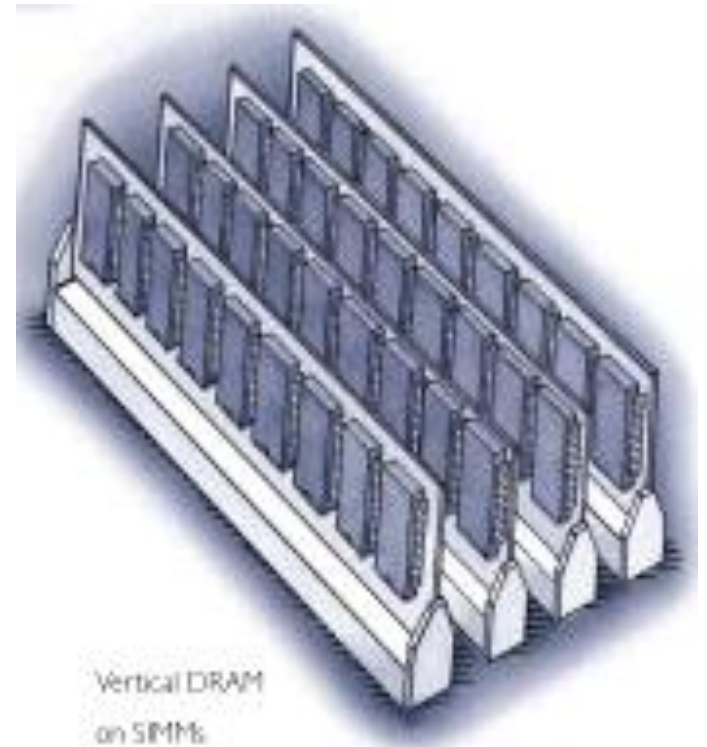
How DRAM fits
on a SIMM.

La memoria nel computer

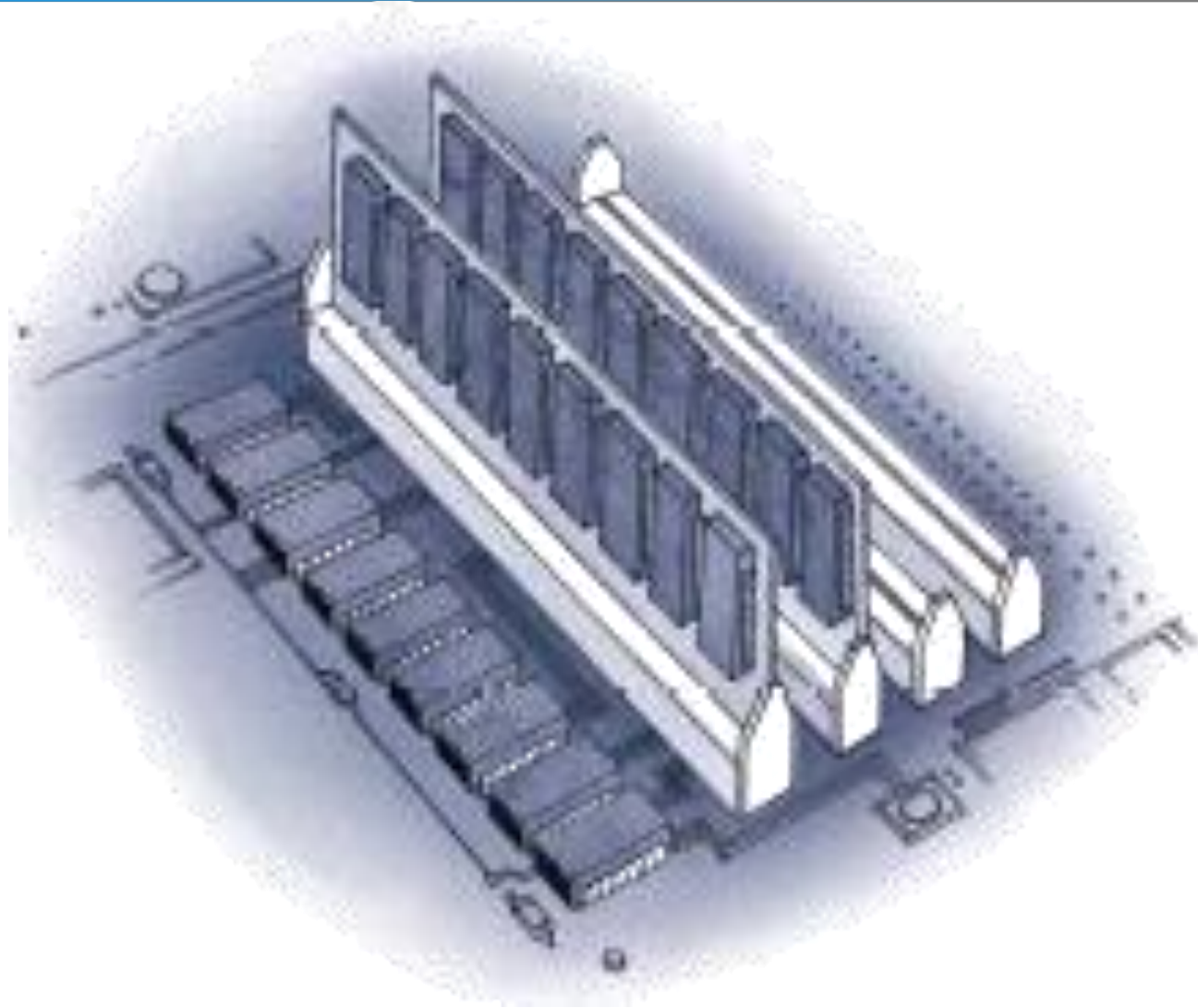
➤ Disposizione orizzontale



| Disposizione verticale

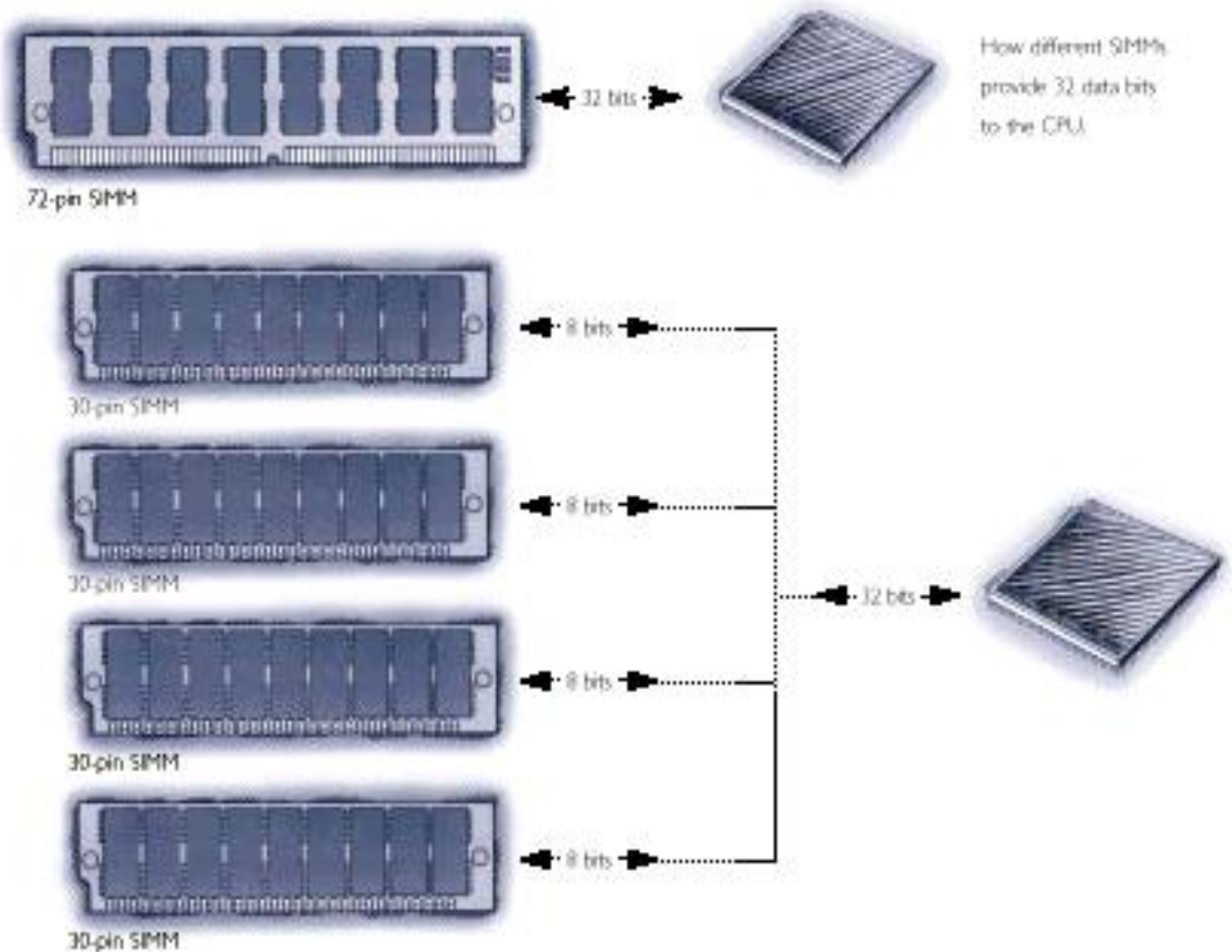


Banchi e schemi di memoria



SIMM a 30 e a 72 pin

- 30 pin
 - 8 bit
- 72 pin
 - 32 bit



Credit card memories

- Chiamate così perchè occupano grosso modo lo stesso spazio di una carta di credito



DIMM a 72 e 168 pin

- SO DIMM
 - Small Outline DIMM
 - 32 bit
- 168 pin DIMM
 - 64 bit

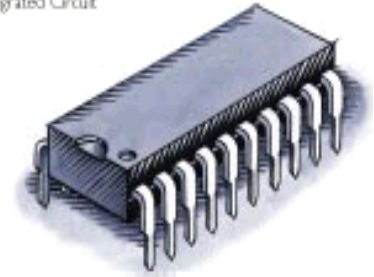


The three examples illustrate the differences among SDRAM, DIMM, and SO DIMM products. The full-size, 168-pin DIMM supports 64-bit transfers without being twice the size of the 72-pin SDRAM which supports only 32-bit transfers. The SO DIMM also supports 32-bit transfers and was designed for use in notebook computers.

DRAM Packages

- DIP
 - Dual In-Line Package
- SOJ
 - Small Outline J-lead
- TSOP
 - Thin, Small Outline Package

DIP Integrated Circuit



SOJ DRAM Package



TSOP DRAM Package



Nota importante

In generale, le differenze tassonomiche si riflettono anche in:

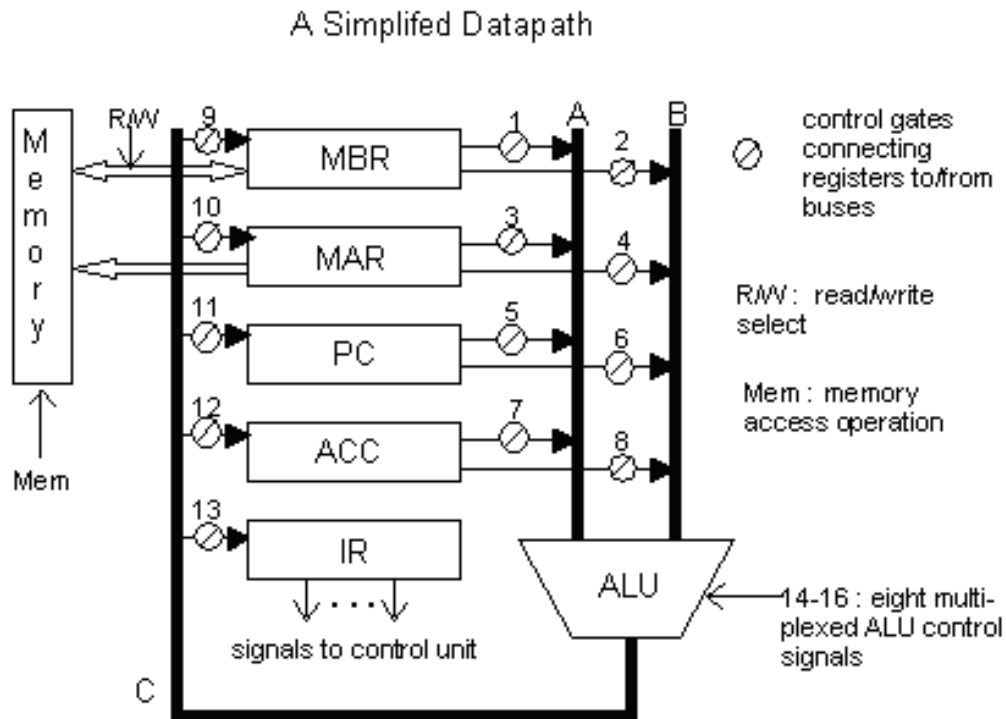
- Differenze **strutturali**
- Differenze **funzionali**
- Differenze **tecnologiche**

Type	Category	Erasure	Byte alterable	Volatile	Typical use
SRAM	Read/write	Electrical	Yes	Yes	Level 2 cache
DRAM	Read/write	Electrical	Yes	Yes	Main memory
ROM	Read-only	Not possible	No	No	Large volume appliances
PROM	Read-only	Not possible	No	No	Small volume equipment
EPROM	Read-mostly	UV light	No	No	Device prototyping
EEPROM	Read-mostly	Electrical	Yes	No	Device prototyping
Flash	Read/write	Electrical	No	No	Film for digital camera

Domande di riepilogo

- Elencare due tipi di memorie volatili e due di memorie persistenti
- Cosa si intende per Gerarchia di Memorie?
- Un programma in esecuzione in quale memoria deve essere caricato

CPU Data Path



- Connette le unità del processore e consente lo scambio dei dati
- È regolato da segnali di controllo
- Tali segnali sono controllati dalla “unità di controllo”

L'Unità di Controllo

- Governa l'evoluzione del processore (e quindi l'esecuzione dei programmi)
- Abilita/Disabilita il passaggio dei dati sul datapath
- Può essere implementata seguendo due approcci
 - Cablato
 - Microprogrammato

Controllo cablato

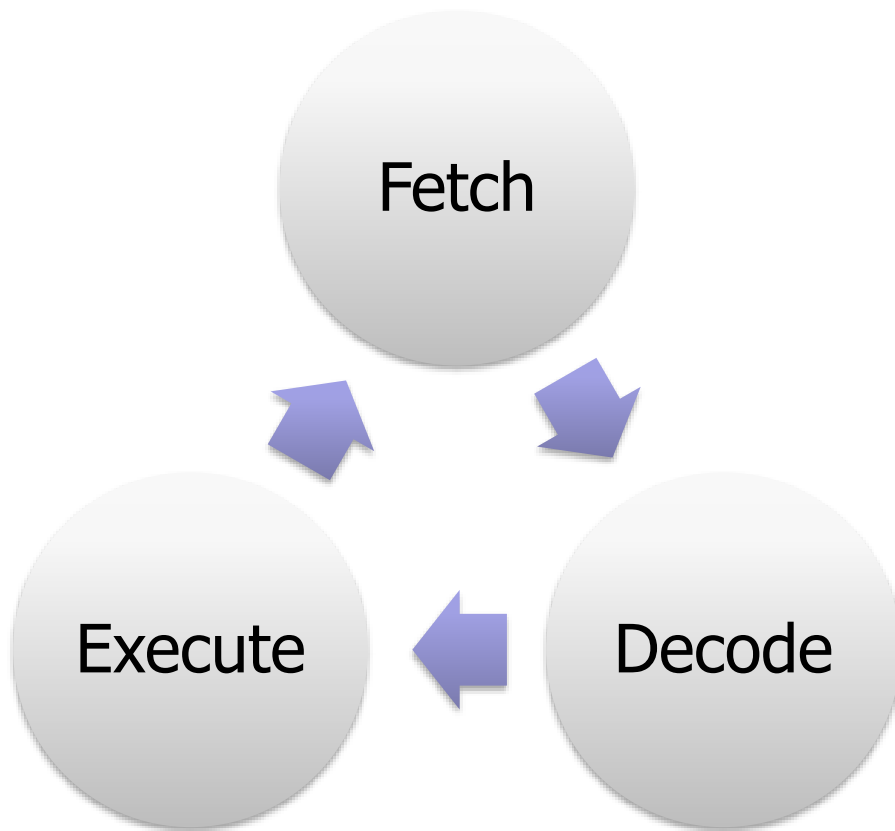
- È detto anche hardwired
- La sezione di controllo si basa su una macchina a stati finiti
 - Progettata con le tecniche classiche del progetto di circuiti digitali
 - Spesso con il supporto di strumenti di progettazione integrati (linguaggi/simulatori di hardware)
- Più efficiente ma più rigido

Controllo microprogrammato

- È detto anche microcoded
- La sezione di controllo si basa su un microprogramma
 - Scritto in un linguaggio simile a quello assembler
 - Tradotto in codice binario
 - Memorizzato su una ROM (Control Store)

- Più lento ma più flessibile

Ciclo del processore (<https://scratch.mit.edu/projects/2145440/>)



- Fetch: Carica la prossima istruzione (PC) nell' IR
- Decode: Decodifica l'istruzione (determina l'operazione da compiere, come prelevare gli operandi, ...)
- Recupera i dati necessari ed esegue l'azione richiesta

Strutture di bus

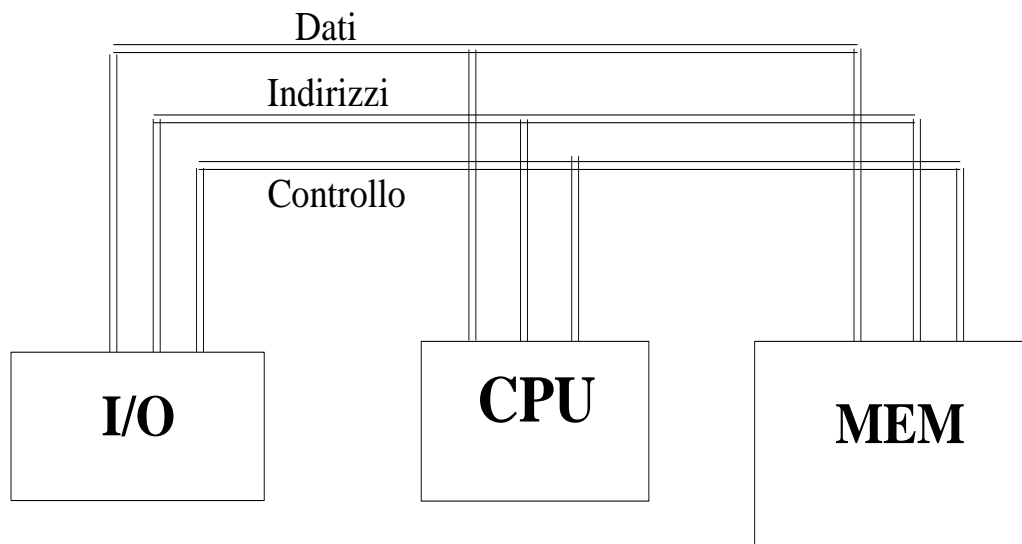


Architettura generale CPU-memoria-I/O

- In un sistema esiste un numero ben preciso di bus di I/O oppure un unico bus
- A livello di sistema esistono due modelli distinti di collegamento:
 - Modello a bus distinti: verso l'esterno ci sono due bus fisici distinti, uno per la memoria e l'altro per l'I/O. In termini di caratteristiche del processore si parla di "Isolated I/O"
 - Modello a bus unico: su un bus unico sono collegati memoria e sistema di I/O. In termini di caratteristiche del processore si parla di "Memory Mapped I/O".

Architettura generale CPU-memoria-I/O

- L'unico bus di collegamento fra CPU, Memoria e I/O si suddivide in tre bus componenti:
 - Bus-dati: trasferisce i dati da una unità all'altra;
 - Bus-indirizzi: comunica l'indirizzo (di memoria o di I/O) dal quale o verso il quale il dato è indirizzato;
 - Linee di controllo: trasferiscono informazioni o indicatori per il controllo e la tempificazione delle operazioni, ad esempio i segnali RE e WE, ack e così via.



Domande di Riepilogo

- Cosa è il Data Path?
- Qual è la differenza tra I/O memory mapped e Isolated I/O?
- Durante quale fase del ciclo del processore vengono caricati gli operandi?



Arm Memory and Register structure

ARM – Advanced RISC Machine

- 32-bit RISC-processor core (32-bit instructions)
- 37 internal registers of 32-bit (16)
- Pipeline (ARM7: 3 stadi)
- Cache (depends on implementation)
- Von Neuman-type bus structure (ARM7), Harvard (ARM9)
- Data types 8 / 16 / 32 -bit
- 7 modalità (usr, fiq, irq, svc, abt, sys, und)
- Struttura semplice → buon rapporto fra velocità / consumo

RISC: Reduced Instruction Set Computing

- Instructions: simpler but more efficient
- High clock frequency
- More complex compiling and debugging
- Higher number of registers

Data types

- byte
- halfword (2bytes aligned)
- word (4byte aligned)

Memory structure

- Byte addressable
- Half and full words (16 or 32 bits) can be organized as both big-endian and little-endian

Processord Modes

ARM seven processing modes, depending on the code being executed:

User (usr)

modalità standard di esecuzione del processo

FIQ (fiq)

modalità privilegiata per gestione di flussi dato ad alta velocità

IRQ (irq)

modalità privilegiata per la gestione degli interrupt

Supervisor (svc)

modalità privilegiata per l'esecuzione del Sistema Operativo

Abort (abt)

implementa la memoria virtuale e la protezione della memoria

System (sys)

modalità privilegiata per l'esecuzione dei task del S.O.

und

serve per il supporto all'emulazione software dei coprocessori

Registers

37 registers





















- 31 general purpose
- 6 status registers


At every time 15 general purpose registers and two status registers are in use

Registers

Register	Synonym	Special	Role in the procedure call standard
r15		PC	The Program Counter.
r14		LR	The Link Register.
r13		SP	The Stack Pointer.
r12		IP	The Intra-Procedure-call scratch register.
r11	v8		Variable-register 8.
r10	v7		Variable-register 7.
r9		v6 SB TR	Platform register. The meaning of this register is defined by the platform standard.
r8	v5		Variable-register 5.
r7	v4		Variable register 4.
r6	v3		Variable register 3.
r5	v2		Variable register 2.
r4	v1		Variable register 1.
r3	a4		Argument / scratch register 4.
r2	a3		Argument / scratch register 3.
r1	a2		Argument / result / scratch register 2.
r0	a1		Argument / result / scratch register 1.

Registers

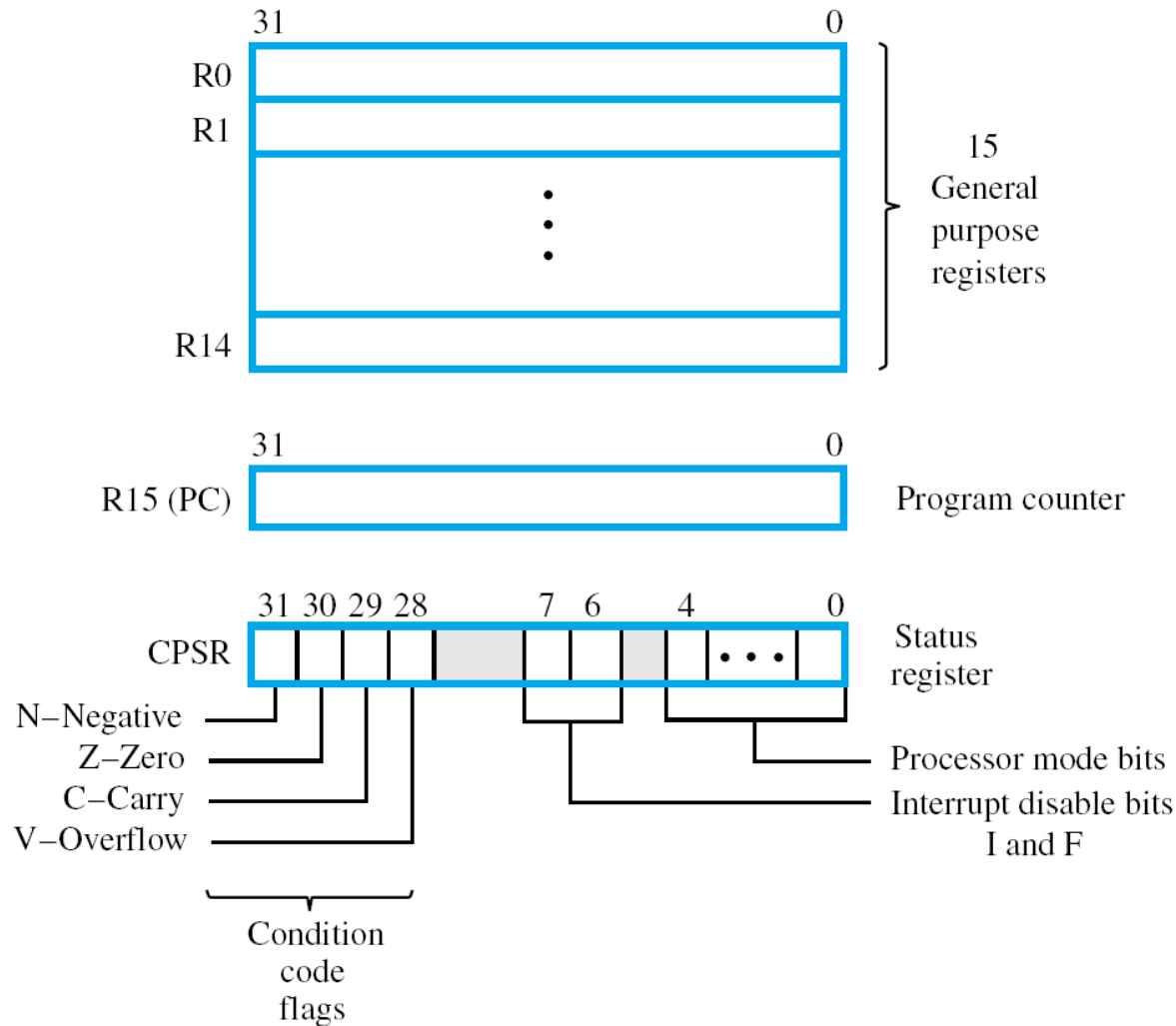
Modes						
	Privileged modes					
	Exception modes					
User	System	Supervisor	Abort	Undefined	Interrupt	Fast interrupt
R0	R0	R0	R0	R0	R0	R0
R1	R1	R1	R1	R1	R1	R1
R2	R2	R2	R2	R2	R2	R2
R3	R3	R3	R3	R3	R3	R3
R4	R4	R4	R4	R4	R4	R4
R5	R5	R5	R5	R5	R5	R5
R6	R6	R6	R6	R6	R6	R6
R7	R7	R7	R7	R7	R7	R7
R8	R8	R8	R8	R8	R8	 R8_fiq
R9	R9	R9	R9	R9	R9	 R9_fiq
R10	R10	R10	R10	R10	R10	 R10_fiq
R11	R11	R11	R11	R11	R11	 R11_fiq
R12	R12	R12	R12	R12	R12	 R12_fiq
R13	R13	 R13_svc	 R13_abt	 R13_und	 R13_irq	 R13_fiq
R14	R14	 R14_svc	 R14_abt	 R14_und	 R14_irq	 R14_fiq
PC	PC	PC	PC	PC	PC	PC
CPSR	CPSR	CPSR	CPSR	CPSR	CPSR	CPSR
		 SPSR_svc	 SPSR_abt	 SPSR_und	 SPSR_irq	 SPSR_fiq

 indicates that the normal register used by User or System mode has been replaced by an alternative register specific to the exception mode

Registers

- The first 7 registers (R0-R7) are unbanked (physical location shared among all the processor modes)
- Registers from R8 to R14 are banked (depending on the specific processor mode they point to a specific physical location)
 - R8-R12 banked only for the FIQ mode (quick context switch for executing high ISR)
 - R13, R14 and R15 normally used as Stack Pointer, Link Register, and Program Counter
- A status register (CPSR) holds the condition code flags (N, Z, C, V), two interrupt-disable bits, and five processor mode bits

Status Register





ColdFire Memory and register Structure

Memory Organization

- Byte-addressable, 32-bit address space
- Big-endian addressing scheme
- Longword (32-bit), word (16-bit), and byte (8-bit) sizes for integer data

Word
address

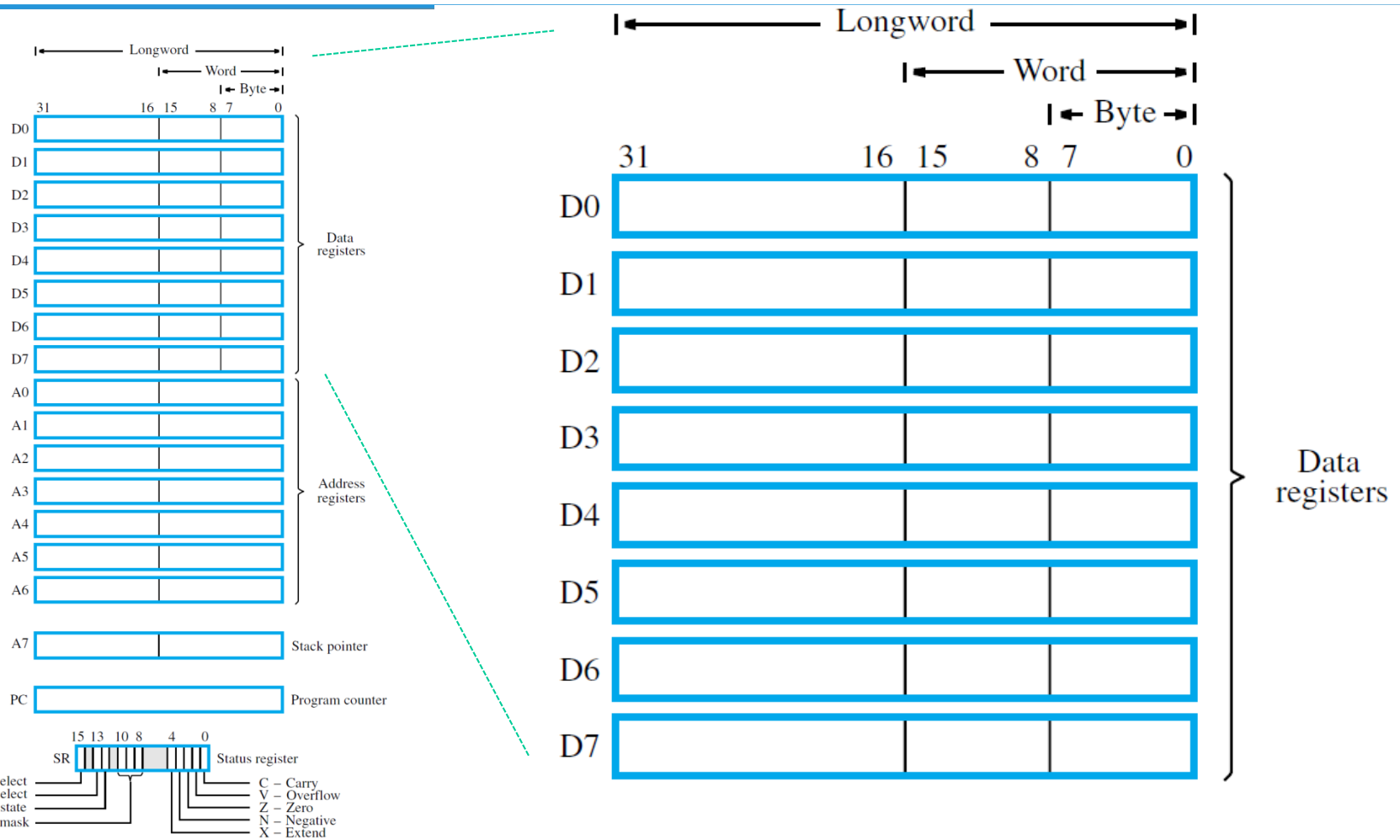
Contents

0	byte 0	byte 1	} Longword 0 (byte 0 is the high-order byte)
2	byte 2	byte 3	
	⋮	⋮	
<i>i</i>	byte <i>i</i>	byte <i>i</i> + 1	} Longword <i>i</i> (byte <i>i</i> is the high-order byte)
<i>i</i> + 2	byte <i>i</i> + 2	byte <i>i</i> + 3	
	⋮	⋮	
$2^{31} - 2$	byte $2^{31} - 2$	byte $2^{31} - 1$	

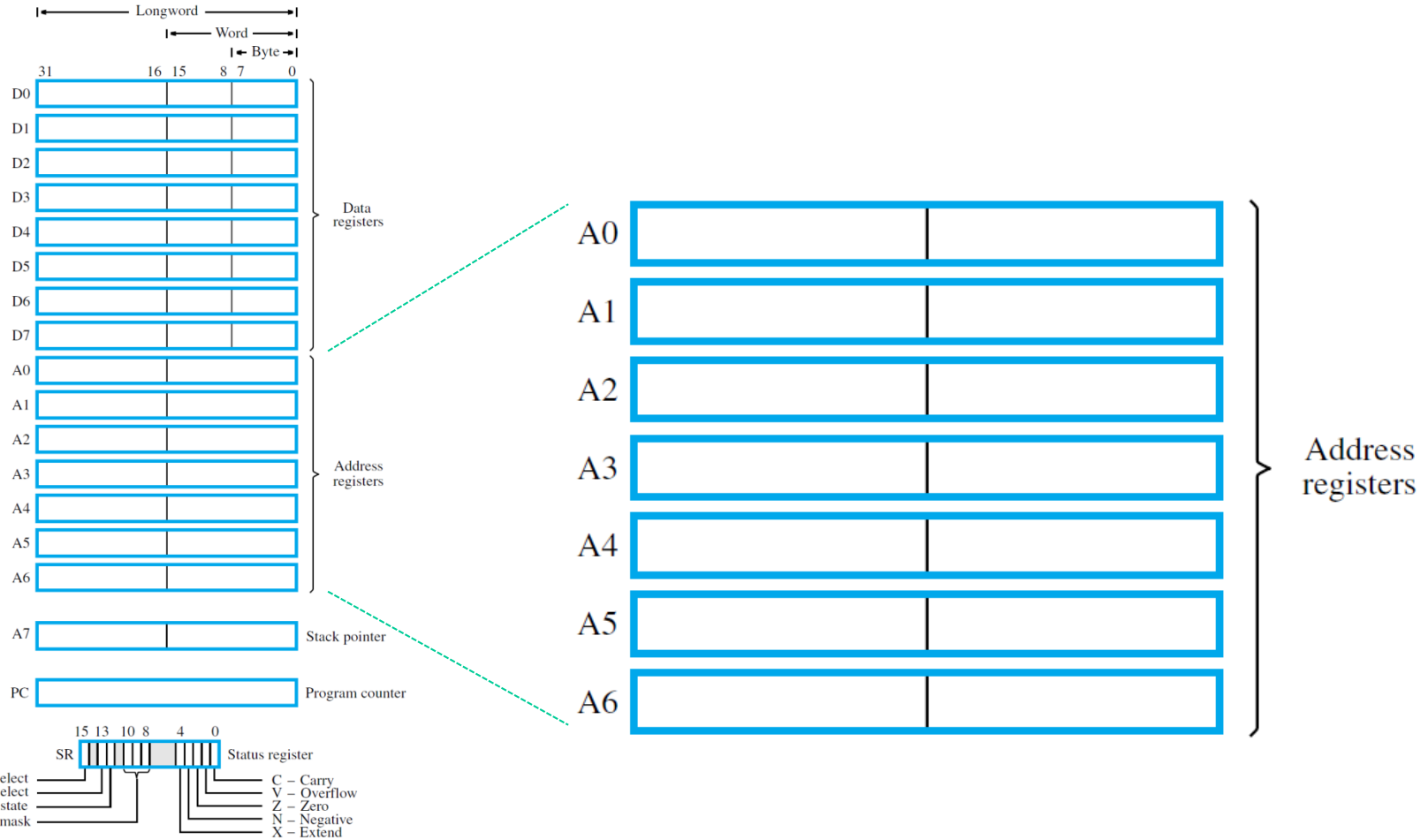
Register Structure

- Eight data registers, D0 to D7
- Eight address registers, A0 to A7,
and register A7 is the stack pointer (SP)
- Status register (SR) with condition codes

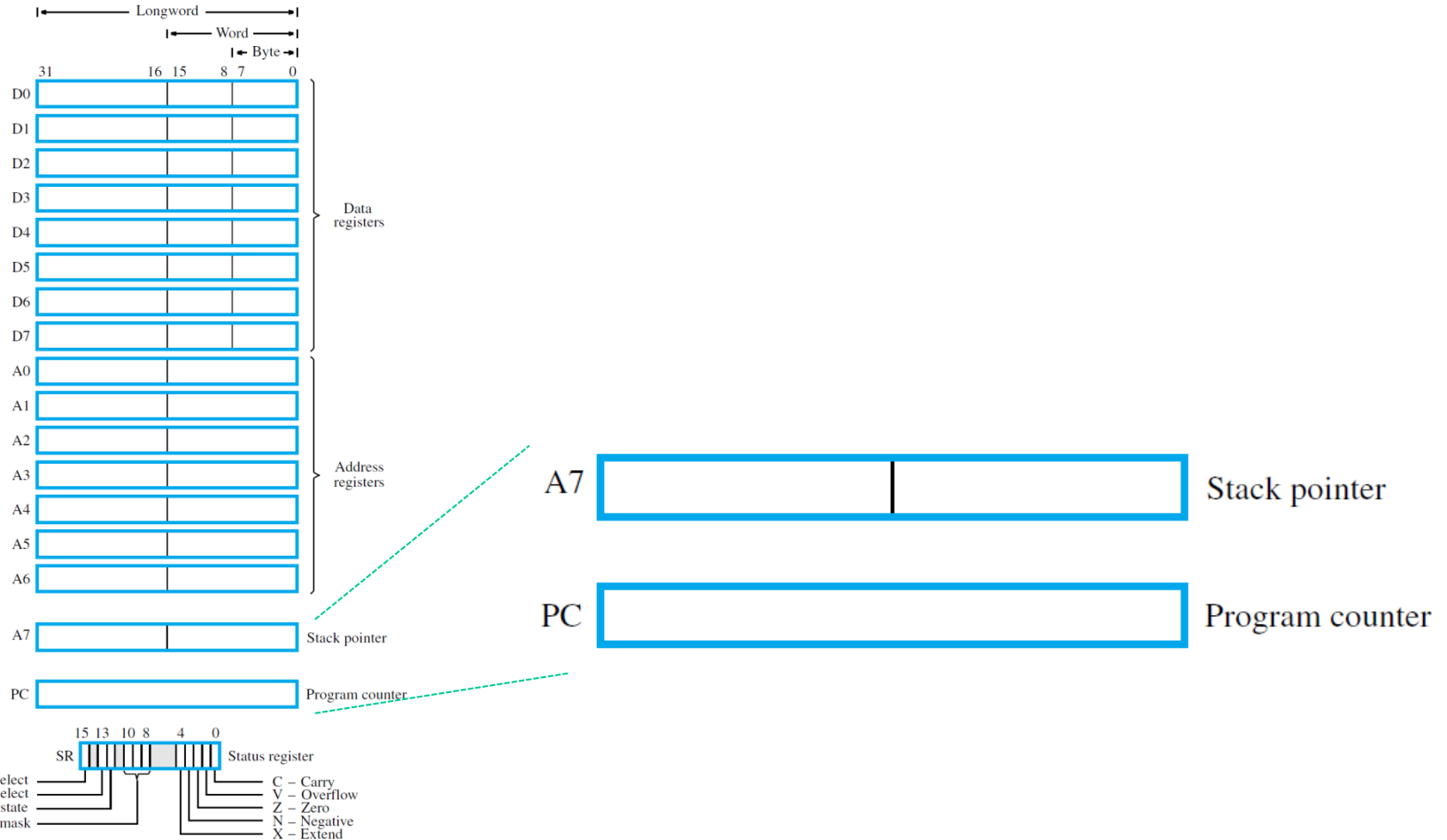
Data Registers



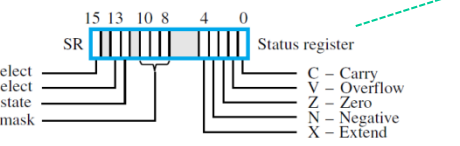
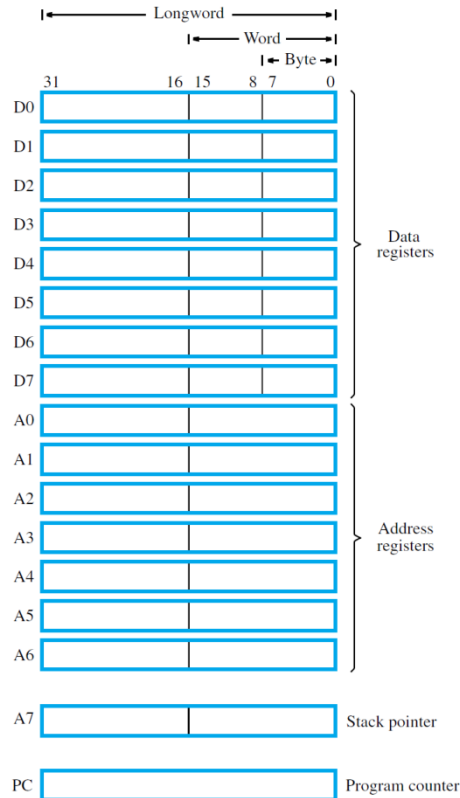
Address Registers



SP and PC



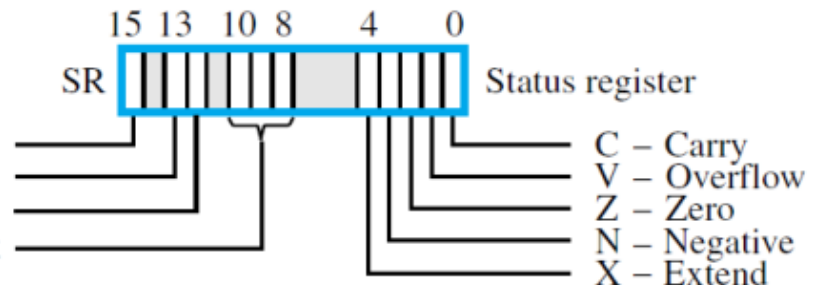
Status Register



T - Trace mode select
 S - Supervisor mode select
 M - Master/interrupt state
 I - Interrupt mask

C - Carry
 V - Overflow
 Z - Zero
 N - Negative
 X - Extend

T - Trace mode select
 S - Supervisor mode select
 M - Master/interrupt state
 I - Interrupt mask



Instructions

- One, two, or three consecutive words
- *OP-code* word is first – it specifies operation
- Also provides some addressing information; one or two *extension* words provide more
- Most arithmetic and data-transfer instructions have source/destination operands:
 OP src, dst
- .L, W., or .B suffix for OP code specifies size

Processor Structure

Tabella A2.1 Memoria e registri nei processori NIOS II, ColdFire, ARM e IA-32

Caratteristica	NIOS II	ColdFire	ARM	IA-32
Architettura	RISC	CISC	RISC	CISC
Lunghezza di parola	32 bit	16 bit	32 bit	32 bit
Lunghezza d'istruzione	1 parola	1 ÷ 3 parole	1 parola	1 ÷ 12 byte
Spazio degli indirizzi	2^{32} byte	2^{32} byte	2^{32} byte	2^{32} byte
Lunghezze di dati (byte)	1,2,4	1,2,4	1,2,4	1,2,4,8,16
Ordinamento dei byte	decresc.	crescente	opzione	decresc.
Registri	r0-r31	A0-A7,PC, D0-D7,SR	R0-R15, CPSR	si veda Caso di Studio C2



Livello Software

Software

User Level: Application Programs

High Level Languages

Assembly Language/Machine Code

Microprogrammed/Hardwired
Control

Functional Units (Memory, ALU, etc.)

Logic Gates

Transistors and Wires

User Level: Application Programs

Problem-oriented Languages

Assembly Language

Operating System

Conventional Machine

Microprogramming Level

Functional Units (Memory, ALU, etc.)

Logic Gates

Transistors and Wires

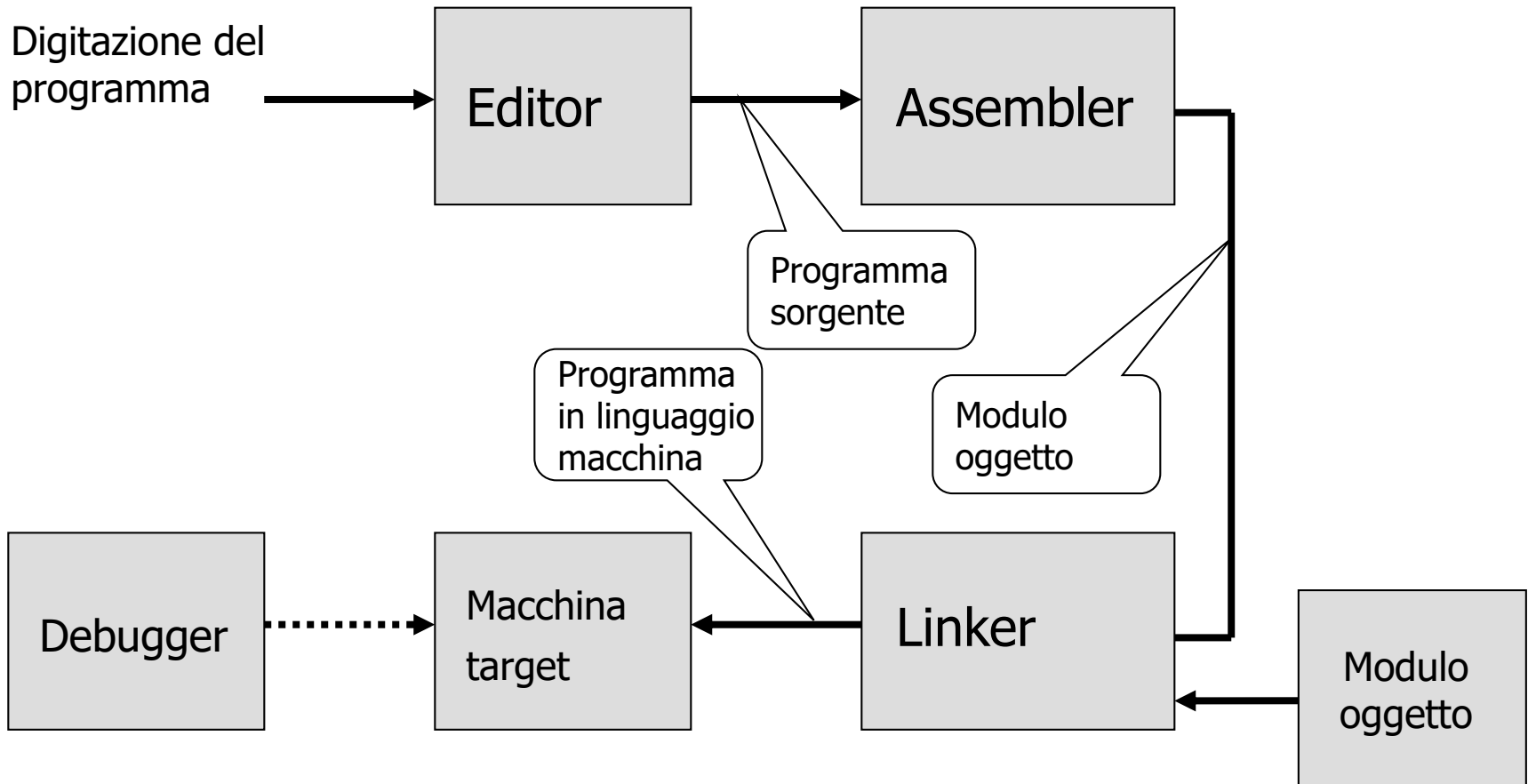
Assembly

- È funzionalmente equivalente al linguaggio macchina, ma usa “nomi” più intuitivi (mnemonics)
- Definisce l’Instruction Set Architecture (ISA) della macchina
- Un compilatore traduce un linguaggio di alto livello, che è indipendente dall’architettura, in linguaggio assembly, che è dipendente dall’architettura
- Un assembler traduce programmi in linguaggio assembly in codice binario eseguibile
- Nel caso di linguaggi compilati (es. C) il codice binario viene eseguito direttamente dalla macchina target
- Nel caso di linguaggi interpretati (es. Java) il bytecode viene interpretato dalla Java Virtual Machine, che è al livello Assembly language

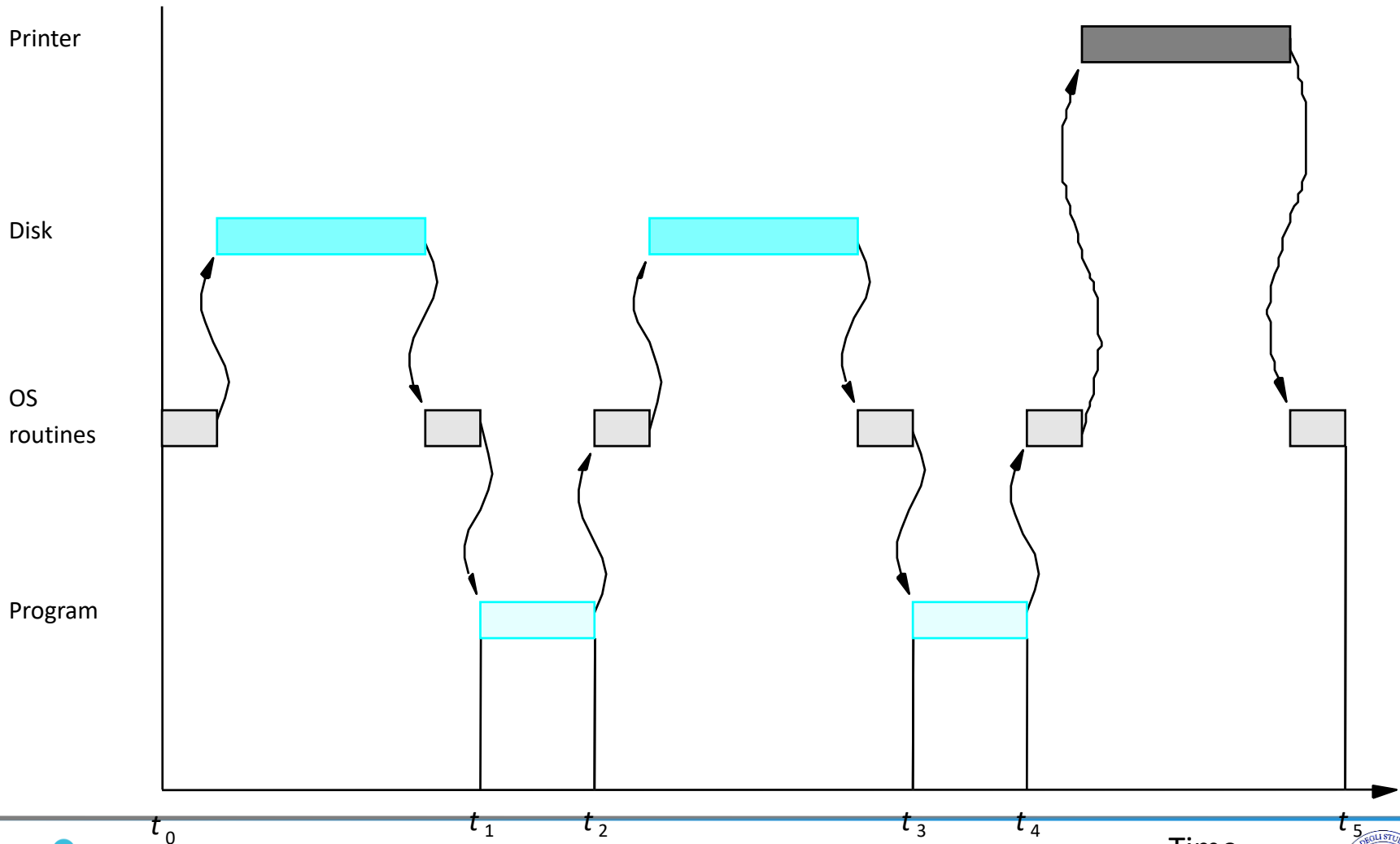
Esempio – Assembly X86 a 32 bit

```
DES_std_crypt:
    movl 4(%esp),%edx
    pushl %ebx
    movl DES_count,%ecx
    xorl %ebx,%ebx
    movq (%edx),K1
    movq 32(%edx),K2
    movq K1,tmp1
    movq 8(%edx),K3
    movq 16(%edx),K4
    DES_copy(24, 40)
    ...
    DES_copy(112, 120)
    movq DES_IV,R
    xorl %edx,%edx
    movq DES_IV+8,L
DES_loop:
    ...
```

Ciclo di sviluppo



Sistema Monoprogrammato



The Fault and Intrusion Tolerant NETworked Systems (FITNESS) Research Group Time

<http://www.fitnesslab.eu/>

Performance

- Elapsed Time
- Processor Time

Basic Performance Equation

$$T = (N * S) / R$$

- T = processor time for executing the program
- N = actual number of instruction executions
- S = average number of basic steps for a machine instruction
- R = clock rate

Pipelining and Superscalar Operation

- Pipelining:
 - Technique for overlapping the execution of successive instructions
 - In the ideal case, if all instructions are overlapped to the maximum degree possible, execution proceeds at the rate of one instruction completed in each clock cycle
- Superscalar Operation:
 - Requires multiple pipelines
 - Allows a higher degree of concurrency

Instruction Set: CISC and RISC

- Complex Instruction Set Computer (CISC)
 - Complex Instructions, which require a large number of basic steps to execute (N is small, S is large)
- Reduced Instruction Set Computer (RISC)
 - Simple Instructions, which require a small number of basic steps to execute (N is large, S is small)
 - It is much easier to implement efficient pipelining

Accesso alla Memoria: CISC vs RISC

Add LOCA, R0

Load LOCA, R1

Add R1, R0

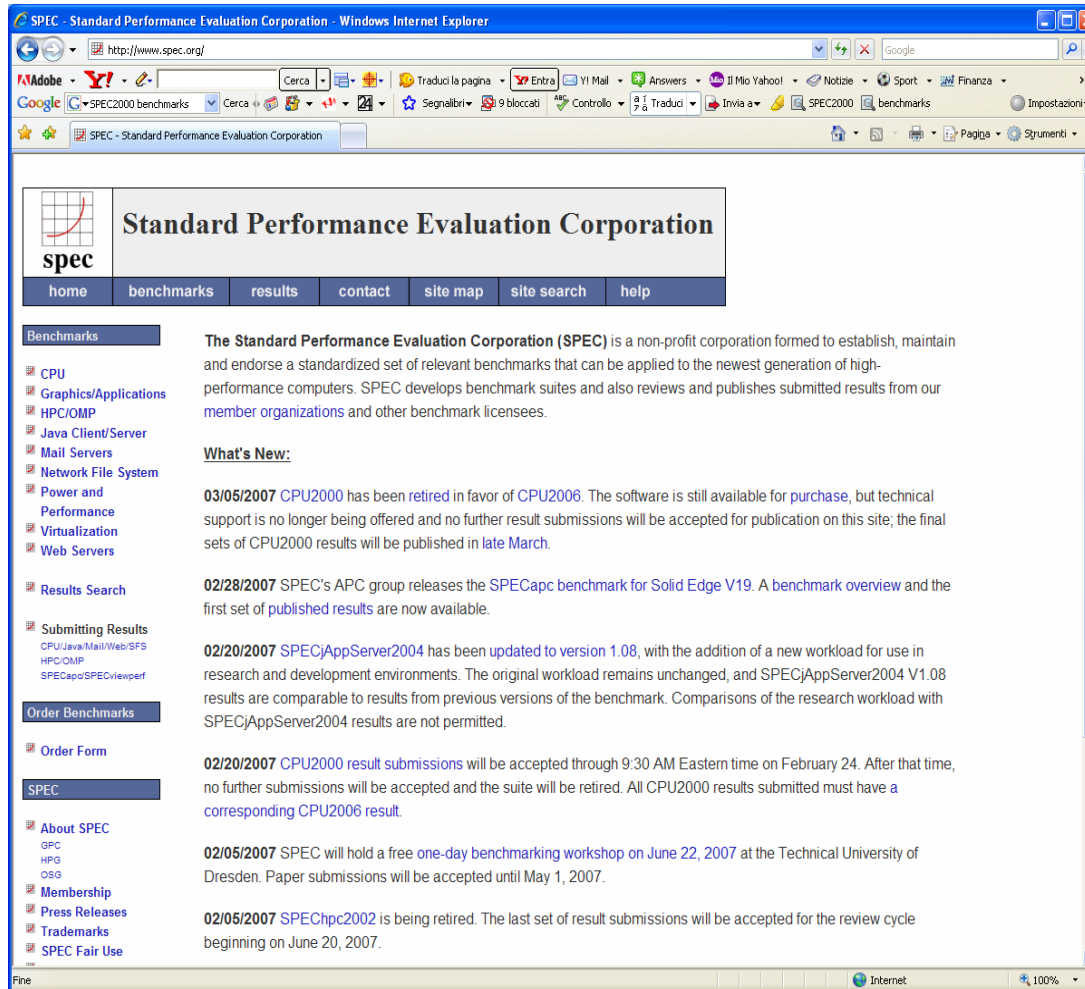
“CISC” style

“RISC” style

Compiler

- Translates a high-level language program into a sequence of machine instructions
- An optimizing compiler takes advantage of various features of the target processor to reduce the total number of clock cycles needed to execute a program ($N * S$)
 - It is closely linked to the processor architecture
- It may rearrange program instructions

Performance Measurement



The screenshot shows the SPEC website in a Windows Internet Explorer browser window. The address bar displays "http://www.spec.org/". The page features the SPEC logo and a navigation menu with links for home, benchmarks, results, contact, site map, site search, and help. The main content area is titled "Standard Performance Evaluation Corporation" and includes a "Benchmarks" section with a list of categories: CPU, Graphics/Applications, HPC/OMP, Java Client/Server, Mail Servers, Network File System, Power and Performance, Virtualization, and Web Servers. Below this is a "Results Search" section and a "Submitting Results" section. The "Order Benchmarks" section contains an "Order Form" link. The "SPEC" section includes links for "About SPEC", "Membership", "Press Releases", "Trademarks", and "SPEC Fair Use". The main text area contains a paragraph about the corporation's mission, followed by a "What's New:" section with several dated announcements regarding benchmark retirements and updates.

Standard Performance Evaluation Corporation

home benchmarks results contact site map site search help

Benchmarks

- CPU
- Graphics/Applications
- HPC/OMP
- Java Client/Server
- Mail Servers
- Network File System
- Power and Performance
- Virtualization
- Web Servers

Results Search

Submitting Results

- CPU/Java/Mail/Web/SFS
- HPC/OMP
- SPECapp/SPECviewperf

Order Benchmarks

- Order Form

SPEC

- About SPEC
 - GPC
 - HPC
 - OSG
- Membership
- Press Releases
- Trademarks
- SPEC Fair Use

The Standard Performance Evaluation Corporation (SPEC) is a non-profit corporation formed to establish, maintain and endorse a standardized set of relevant benchmarks that can be applied to the newest generation of high-performance computers. SPEC develops benchmark suites and also reviews and publishes submitted results from our member organizations and other benchmark licensees.

What's New:

03/05/2007 CPU2000 has been retired in favor of CPU2006. The software is still available for purchase, but technical support is no longer being offered and no further result submissions will be accepted for publication on this site; the final sets of CPU2000 results will be published in late March.

02/28/2007 SPEC's APC group releases the SPECcapc benchmark for Solid Edge V19. A benchmark overview and the first set of published results are now available.

02/20/2007 SPECjAppServer2004 has been updated to version 1.08, with the addition of a new workload for use in research and development environments. The original workload remains unchanged, and SPECjAppServer2004 V1.08 results are comparable to results from previous versions of the benchmark. Comparisons of the research workload with SPECjAppServer2004 results are not permitted.

02/20/2007 CPU2000 result submissions will be accepted through 9:30 AM Eastern time on February 24. After that time, no further submissions will be accepted and the suite will be retired. All CPU2000 results submitted must have a corresponding CPU2006 result.

02/05/2007 SPEC will hold a free one-day benchmarking workshop on June 22, 2007 at the Technical University of Dresden. Paper submissions will be accepted until May 1, 2007.

02/05/2007 SPECchpc2002 is being retired. The last set of result submissions will be accepted for the review cycle beginning on June 20, 2007.

Prospettiva storica

- 1st generation
 - Vacuum tube technology
 - Assembly language programs
 - Magnetic core memories
- 2nd generation
 - Transistor technology
 - Fortran language programs
- 3rd generation
 - Integrated circuit technology
 - Microprogramming, parallelism, pipelining, caches, virtual memories
- 4th generation
 - Very Large Scale Integration (VLSI) technology
- Beyond the 4th generation