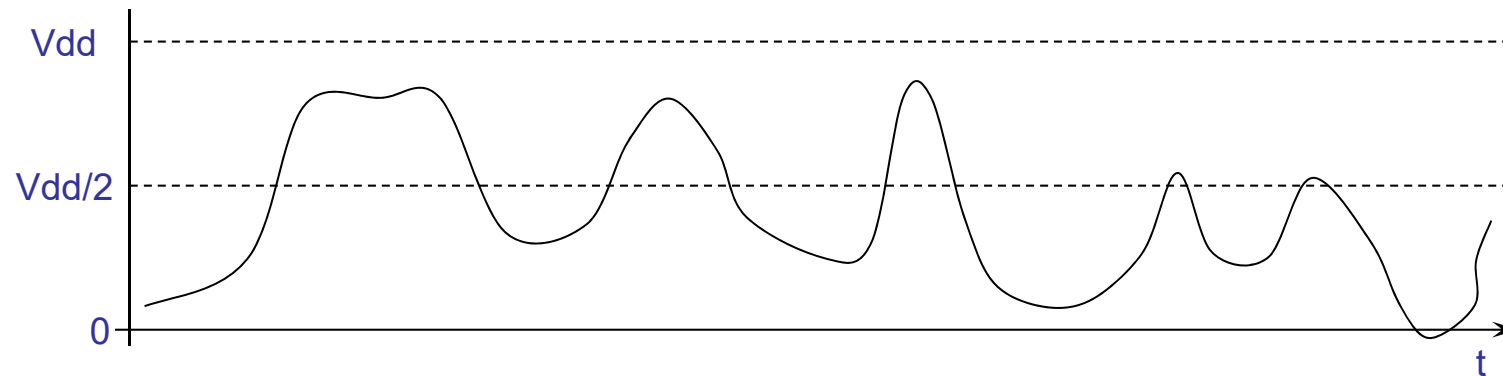


I circuiti digitali

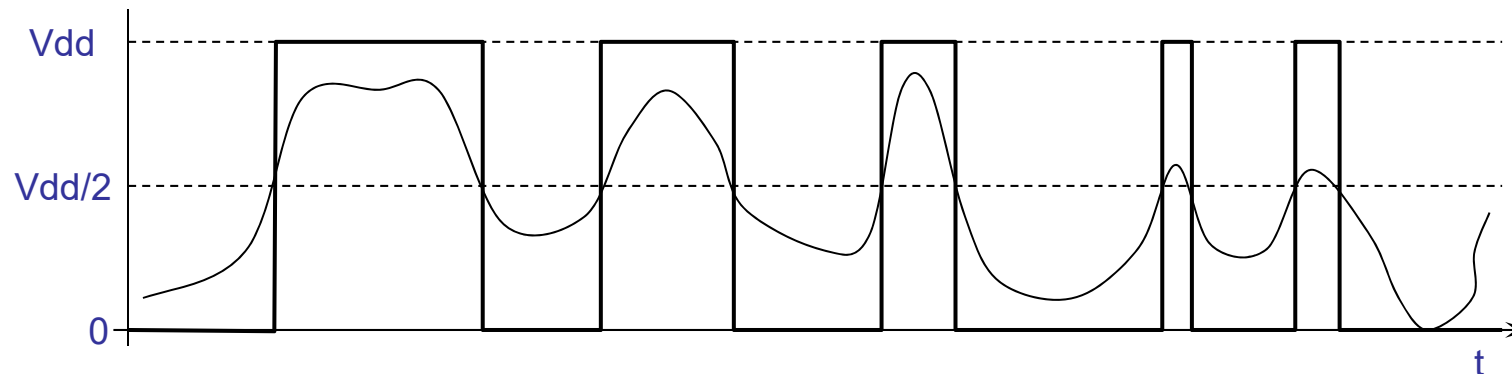
- I circuiti digitali possono essere classificati in due categorie
- **Circuiti combinatori**
 - Il valore delle uscite ad un determinato istante dipende unicamente dal valore degli ingressi in quello stesso istante.
- **Circuiti sequenziali**
 - **Il valore delle uscite in un determinato istante dipende sia dal valore degli ingressi in quell'istante sia dal valore degli ingressi in istanti precedenti**
 - **Per definire il comportamento di un circuito sequenziale è necessario tenere conto della storia passata degli ingressi del circuito**
- La definizione di circuito sequenziale implica due concetti:
 - Il concetto di tempo
 - Il concetto di stato

Il concetto di tempo

- Un segnale elettrico è una tensione variabile nel tempo

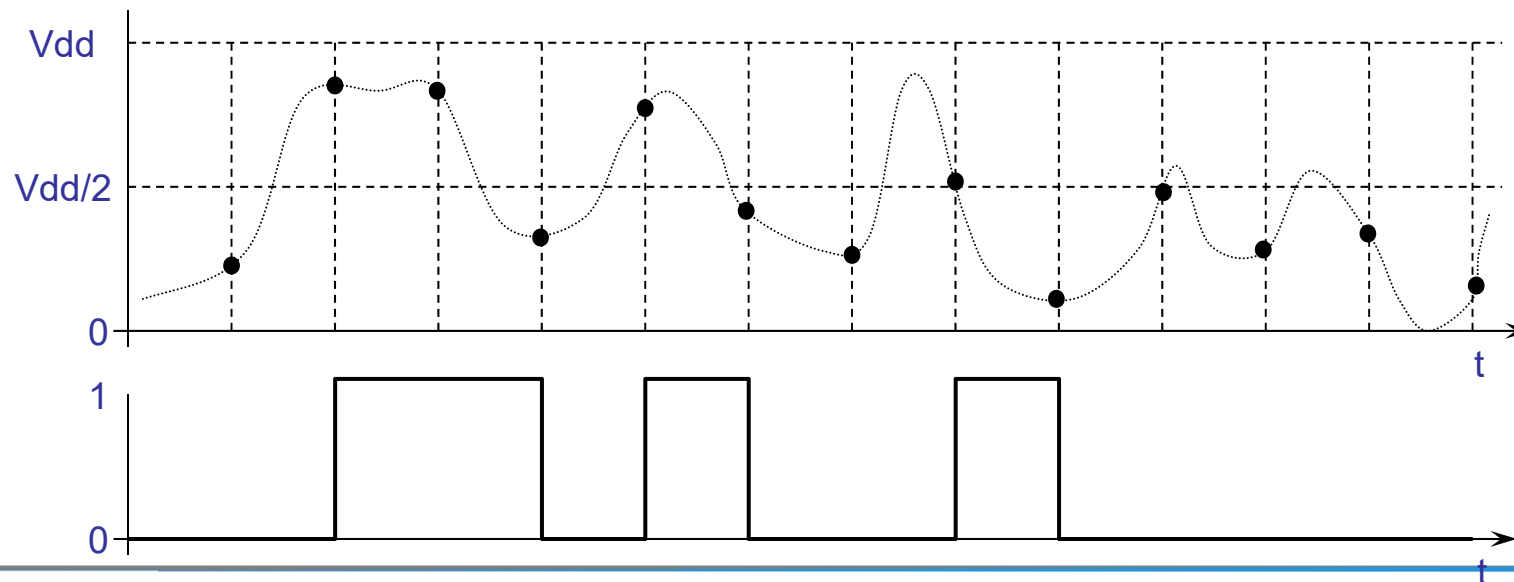


- I segnali binari sono rappresentati tipicamente mediante due livelli di tensione di un segnale elettrico.



Il concetto di tempo

- Il segnale binario è un segnale variabile con continuità
- In un intervallo di tempo $t=t_1-t_0$ il segnale assume infiniti valori, corrispondenti agli infiniti istanti tra t_0 e t_1
- Si ricorre al concetto di *tempo discreto* in cui il numero di istanti discreti in un intervallo $t=t_1-t_0$ è finito



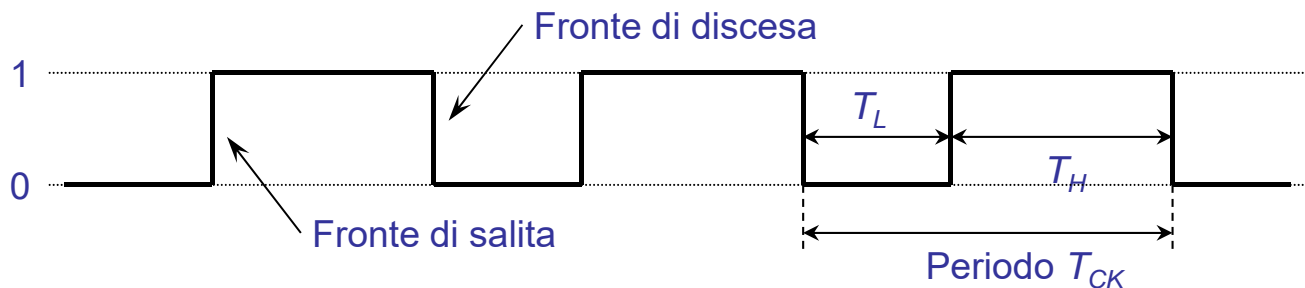
Il concetto di tempo

- Il valore del segnale elettrico viene letto o *campionato* in istanti determinati
- Gli istanti in cui deve essere *campionato* il segnale elettrico sono scanditi da un apposito segnale detto *clock*
- Un *clock* ha le seguenti caratteristiche:
 - E' un segnale binario
 - E' un segnale periodico

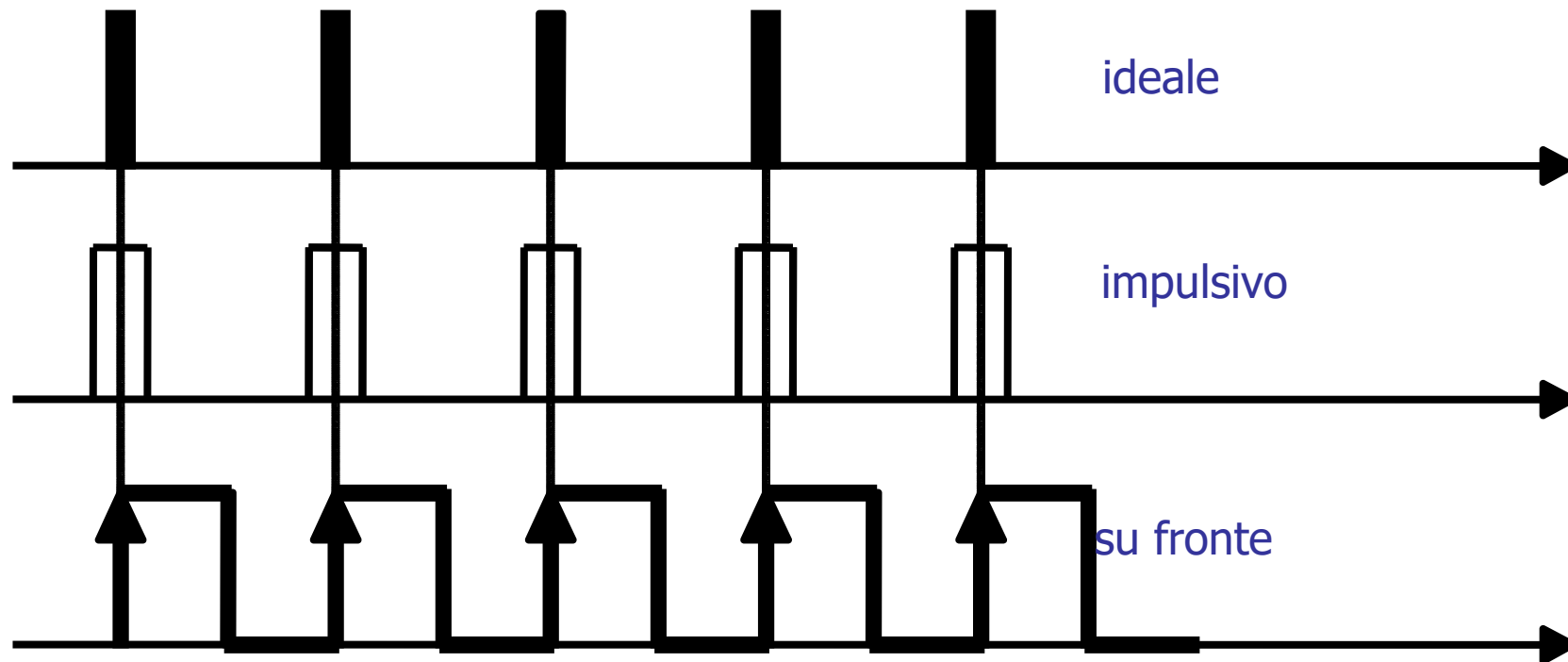


Il concetto di tempo

- Nel periodo T_{CK} , o *ciclo di clock*, il segnale assume:
 - Il valore logico 1 per un tempo T_H
 - Il valore logico 0 per un tempo T_L
- Il rapporto T_H / T_{CK} è detto *duty-cycle*
- Il passaggio dal valore 0 al valore 1 è detto *fronte di salita*
- Il passaggio dal valore 1 al valore 0 è detto *fronte di discesa*



Clock

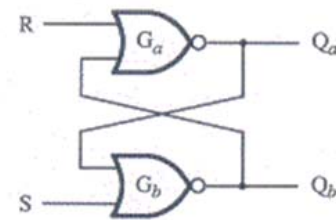


Elementi Bistabili

- Come detto, lo stato di un circuito deve essere memorizzato. A tale scopo si utilizzano degli elementi di memoria detti *bistabili*.
- Il termine *bistabili* deriva dal fatto che tali elementi possono assumere solo due valori: 0 e 1
- Esistono diversi tipi di bistabili che differiscono per il numero di ingressi e per il comportamento
- I flip-flop vengono utilizzati sia come elemento fondamentale per la costituzione dei registri sia come elemento ausiliario per la costruzione di macchine sequenziali più complesse.

SR latch

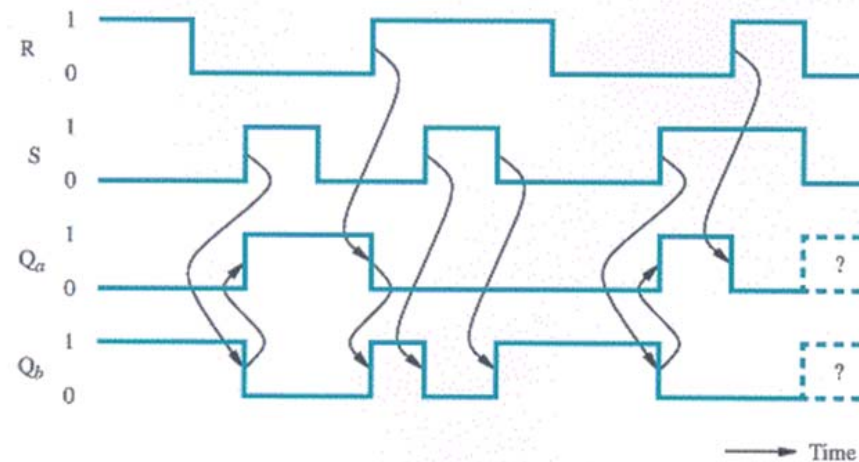
- Un *latch* è un dispositivo per memorizzare un dato binario.
- E' un circuito sequenziale



(a) Network

S	R	Q _a	Q _b
0	0	0/1	1/0 (No change)
0	1	0	1
1	0	1	0
1	1	0	0

(b) Truth table



(c) Timing diagram

Gated SR latch

- Si introduce un input di controllo detto Clock (Clk)
 - Se Clk=1, il circuito segue il comportamento dettato da S e R. Se Clk=0 il circuito non cambia stato.
 - In presenza di abilitazione si parla di *gated latch*

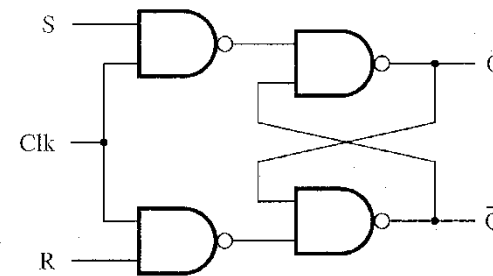
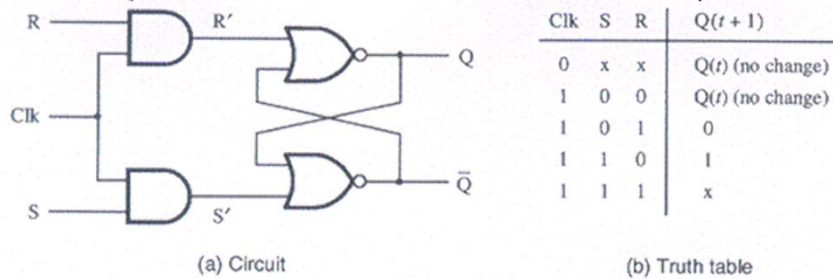
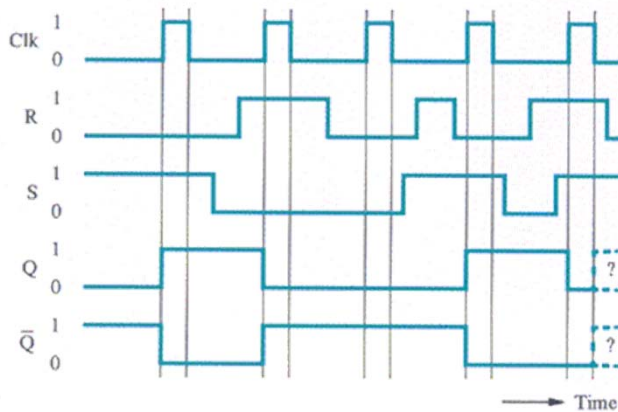
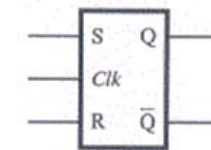


Figure A.26. Gated SR latch implemented with NAND gates.



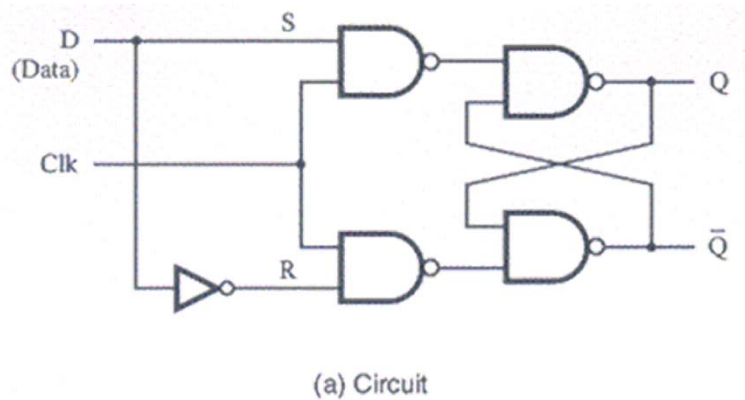
(c) Timing diagram



(d) Graphical symbol

Gated D latch

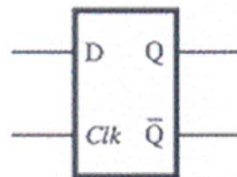
- S ed R sono comandati da un solo input, detto D (più il Clock).
- S ed R non varranno mai contemporaneamente 0,0 o 1,1
- L'uscita segue sempre il valore di D (se Clk=1).



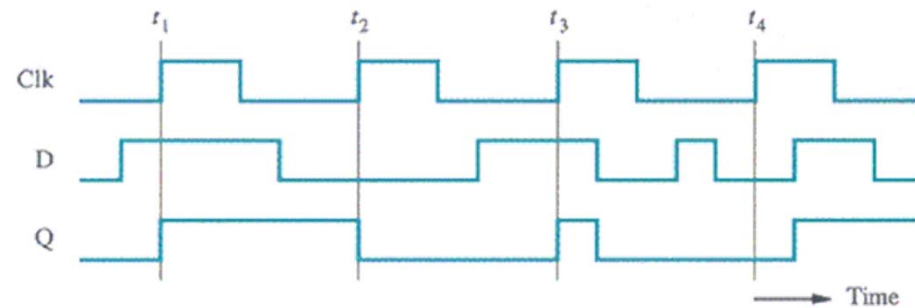
(a) Circuit

Clk	D	$Q(t+1)$
0	x	$Q(t)$
1	0	0
1	1	1

(b) Truth table



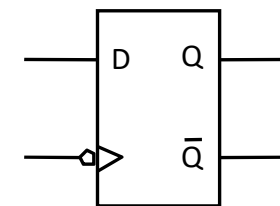
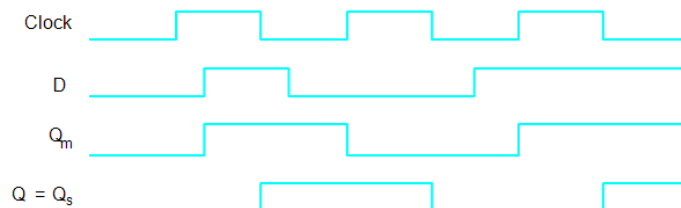
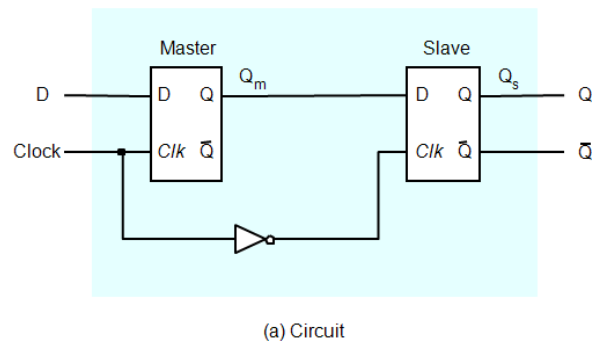
(c) Graphical symbol



(d) Timing diagram

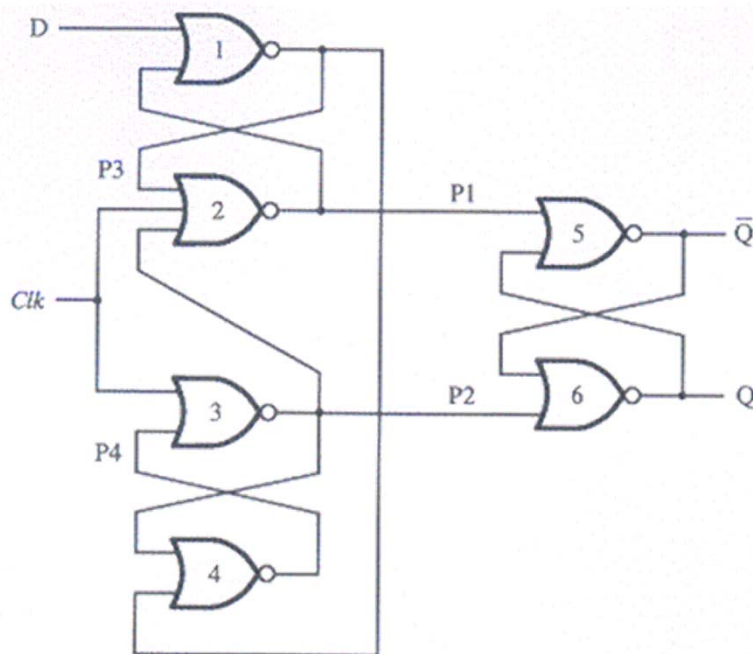
Flip-Flop D Master-Slave

- Flip-Flop: elemento di memoria che cambia stato (cioè si abilita) sul fronte di un clock
- Vogliamo introdurre un ritardo tra l'arrivo di un nuovo input e l'uscita del circuito -> Circuito Master-Slave
- Se Clk=1 il Master segue D e lo Slave non cambia stato. Se Clk=0, Q=D.
- L'uscita cambia sul fronte di discesa del clock (fronte negativo) -> Inverto il clock (fronte positivo)

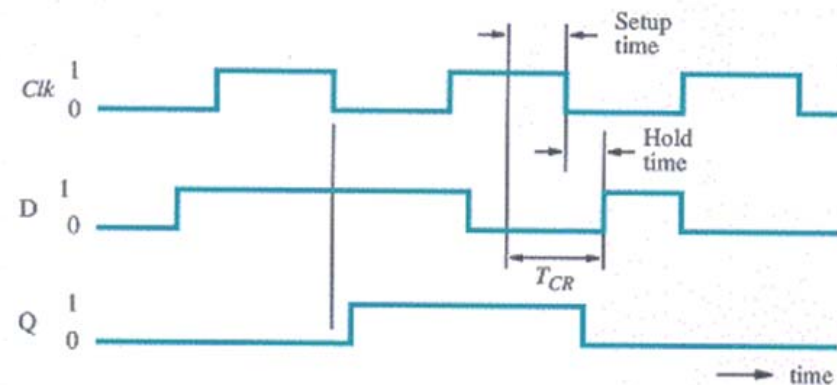


Flip-Flop D edge triggered

- I Flip-Flop cambiano stato solo durante le transizioni del clock (fronte positivo o negativo). Il tempo di transizione deve essere breve.
- La tempistica deve essere ben definita. $T_{critical} = Hold\ Time + Setup\ Time$
- T_{cr} è l'intervallo in cui D non deve cambiare il suo valore



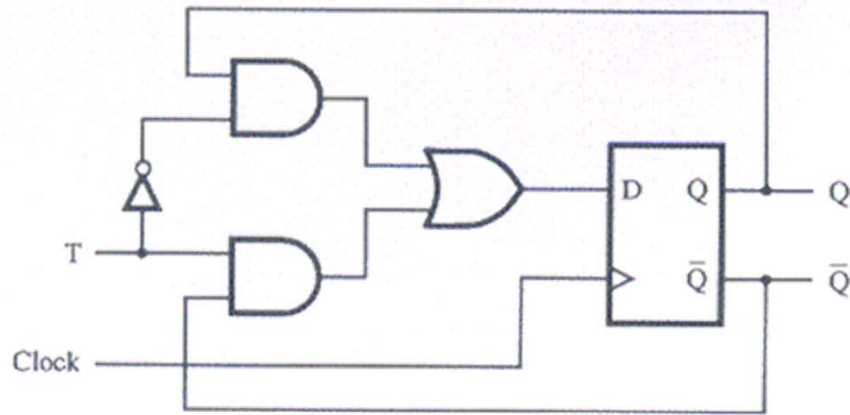
(a) Network



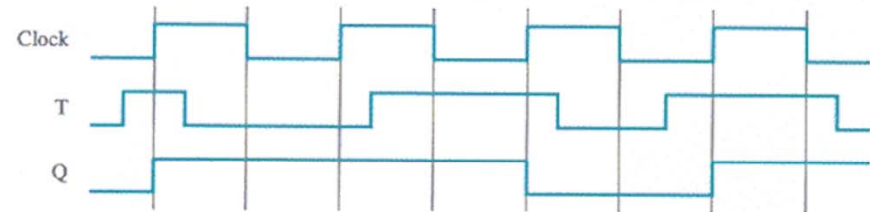
(b) Example of timing

Flip-Flop T

- Se $Clk=1$ e $T=1$, il flip-flop cambia (toggles) stato.
- E' usato per i circuiti contatori



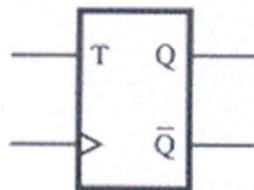
(a) Circuit



(d) Timing diagram

T	$Q(r+1)$
0	$Q(r)$
1	$\bar{Q}(r)$

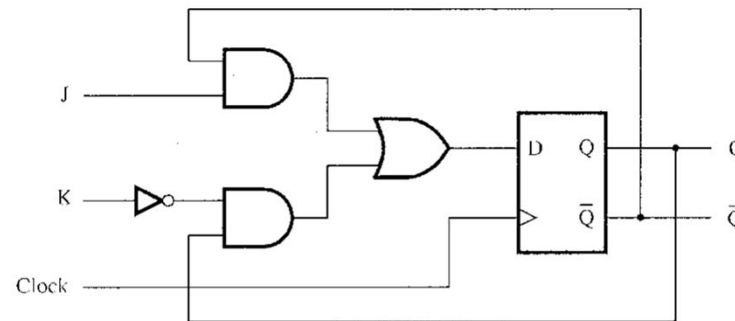
(b) Truth table



(c) Graphical symbol

Flip-Flop JK

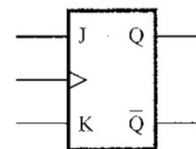
- Ha un comportamento simile all'SR e al T e quindi può essere utilizzato sia come memoria, sia per i counter



(a) Circuit

J	K	$Q(t+1)$
0	0	$Q(t)$
0	1	0
1	0	1
1	1	$\bar{Q}(t)$

(b) Truth table

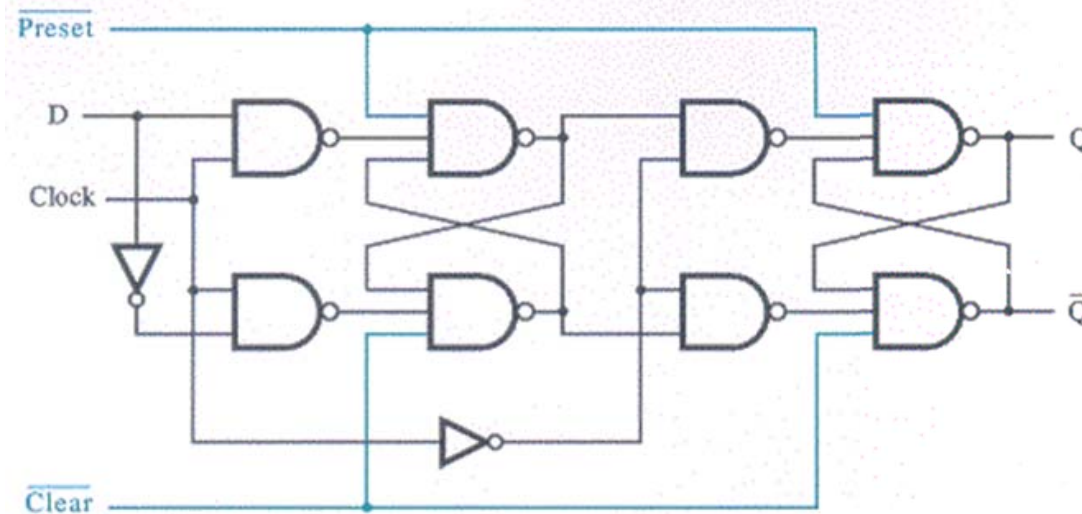


(c) Graphical symbol

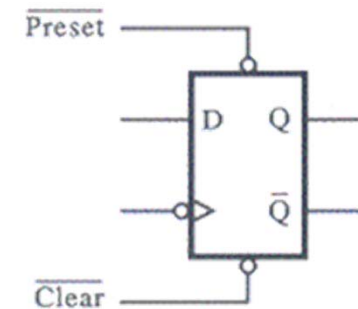
Figure A.31. JK flip-flop.

Flip-Flop con Preset e Clear

- Due input aggiuntivi che forzano lo stato del Flip-Flop a 0 o 1
 - Es. all'accensione del computer tutti i f-f dovrebbero essere a 0
 - Se $P, C = 1$ il f-f è controllato da Clk e D . Se $P=0, Q=1$. Se $C=0, Q=0$.



(a) Circuit



(b) Graphical symbol

Figure A.32. Master-slave D flip-flop with *Preset* and *Clear*.

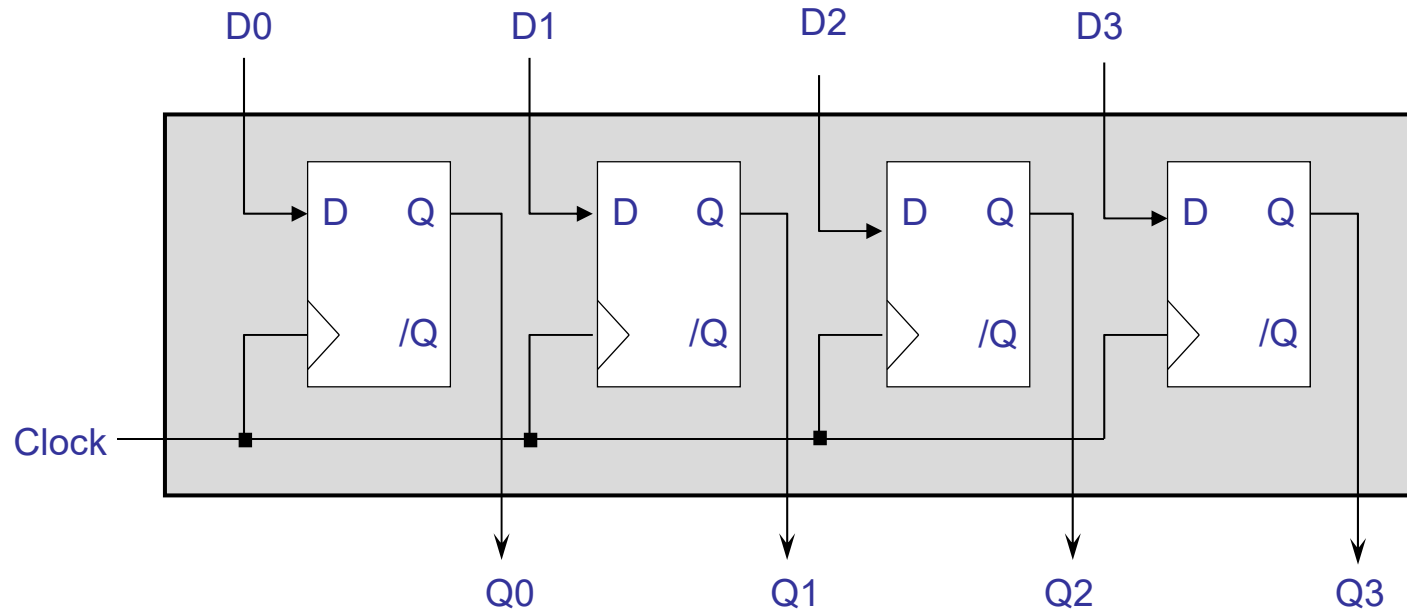
Registri

- Memorizziamo una parola in un'unica struttura: registro
 - Letture e scritture sincronizzate in contemporanea dallo stesso Clk

- I registri si distinguono sulla base dei seguenti aspetti:
- Modalità di caricamento dati
 - Parallelo
 - Seriale
- Modalità di lettura dati
 - Parallelo
 - Seriale
- Operazioni sui dati:
 - Scorrimento a destra
 - Scorrimento a sinistra
 - Scorrimento circolare
 - Scorrimento con immissione di un valore

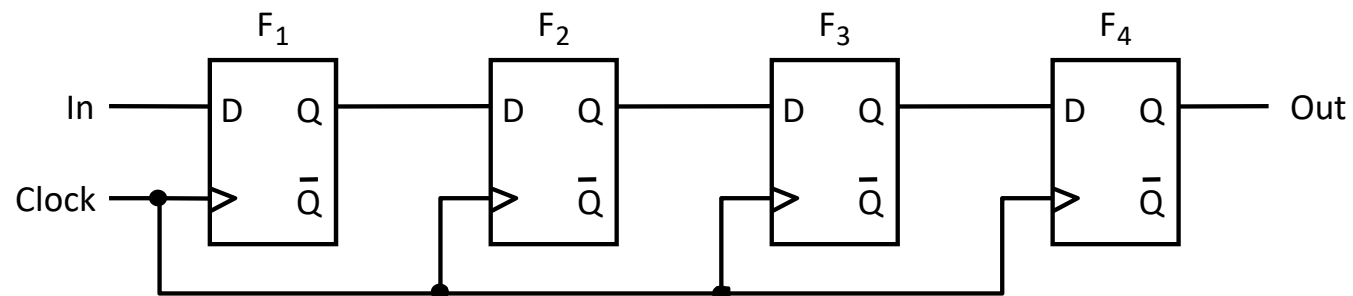
Registri

➤ Registro *parallelo-parallelo* a 4 bit



Registri a scorrimento

- Realizziamo lo scorrimento di un bit alla volta (a dx o sx) con una catena di f-f
 - Se l'out va in input effettuiamo la rotazione del registro

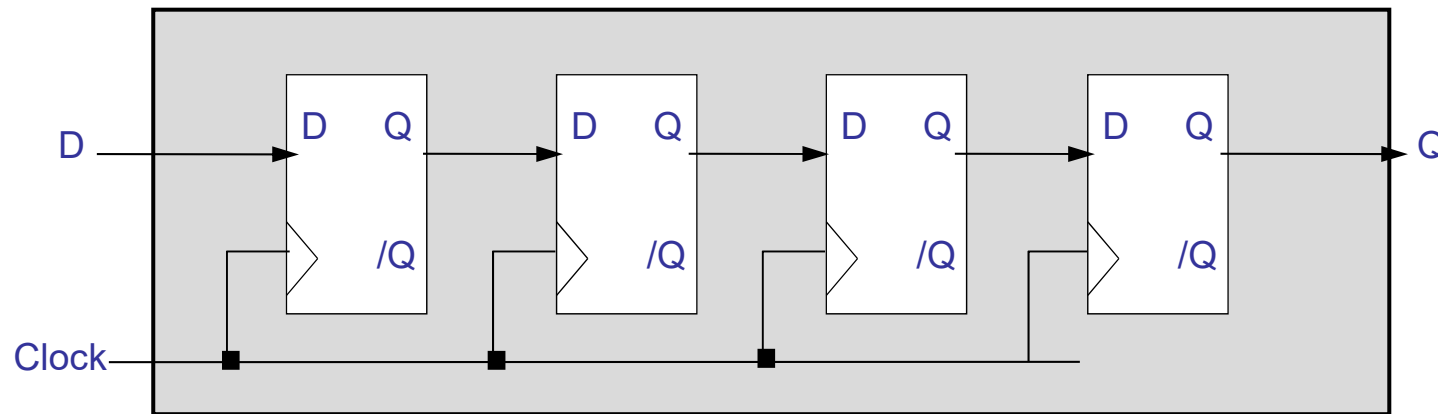


Clk	D	Q(t+1)
0	x	Q(t)
1	0	0
1	1	1

- Bisognerebbe avere un solo shift a clock: con i soli f-f D latch non controllo il numero di shift, che dipendono dalla durata del clock e dal delay di ogni f-f
->Usiamo le configurazioni Master Slave o Edge Triggered

Registri

- Registro *serie-serie* a 4 bit (*Shift Register*)



Registro Seriale/Parallelo con Flip-Flop D

- Nella configurazione parallela:
 - se Load=0, l'input è Serial e lo shift è seriale
 - se Load=1, la lettura/scrittura è parallela

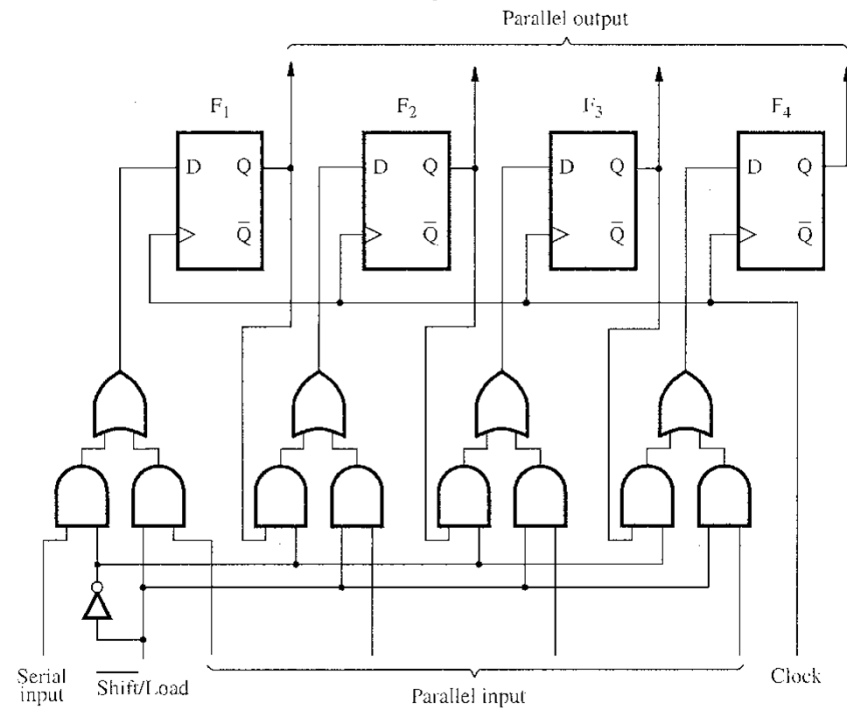
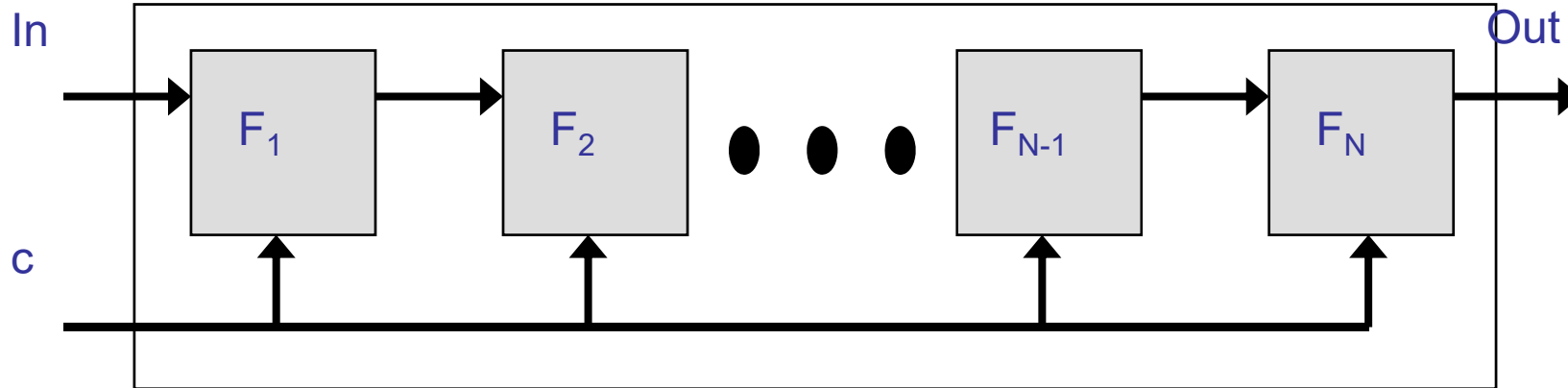


Figure A.34. Parallel-access shift register.

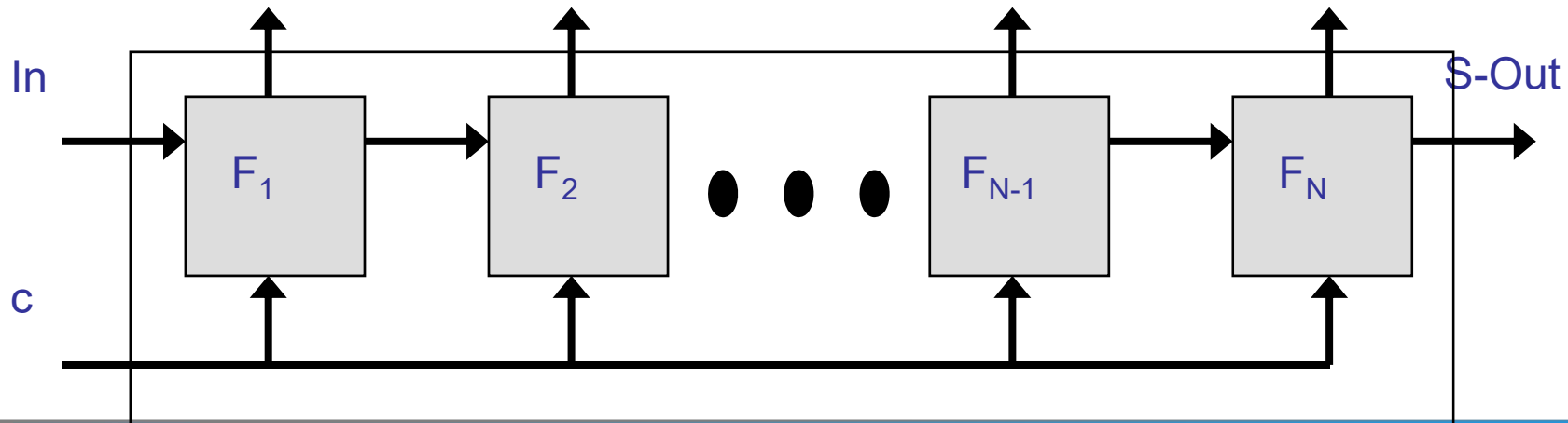
Registri a scorrimento

Input: Serie -> Output: Serie

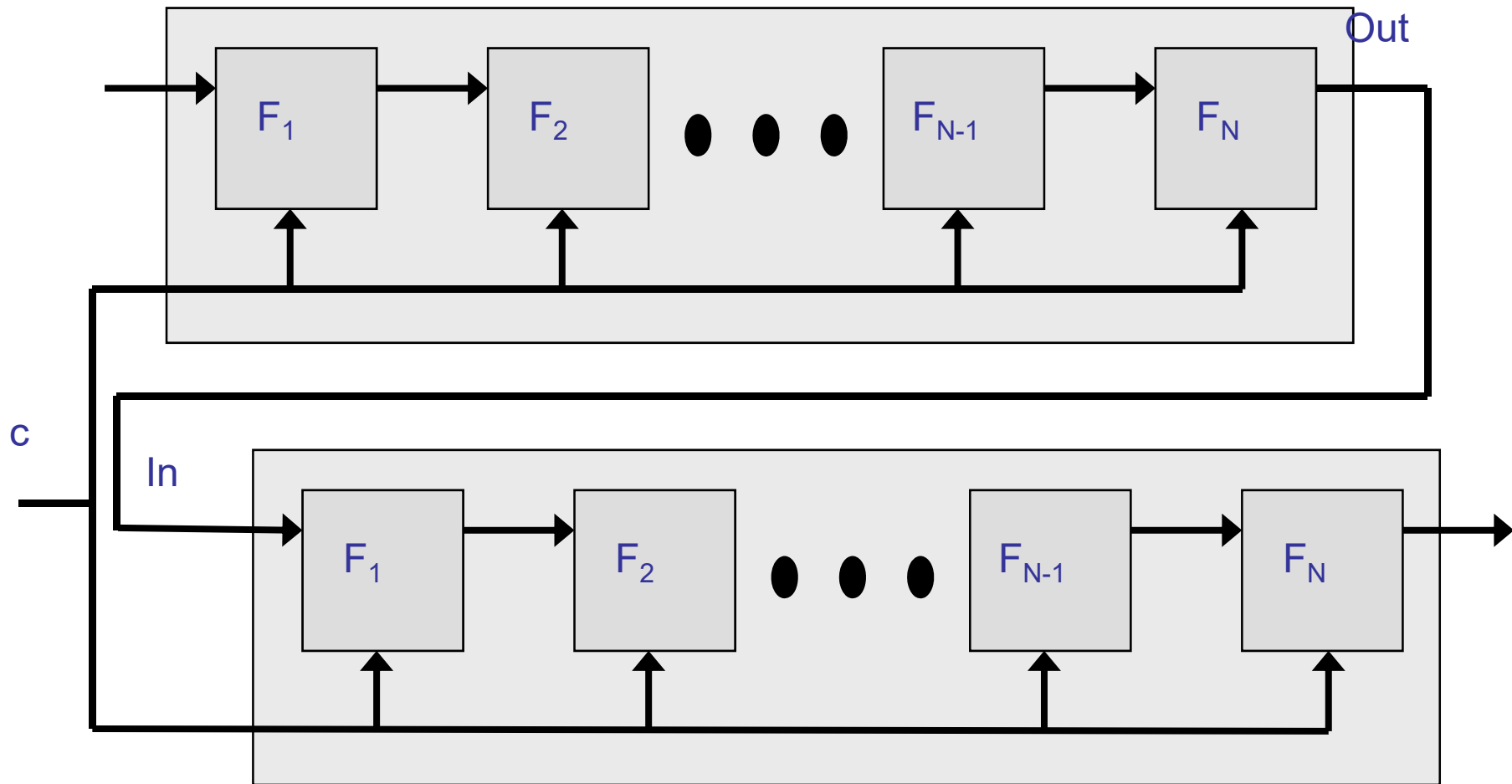


Input: Serie -> Output: Serie/Parallelo

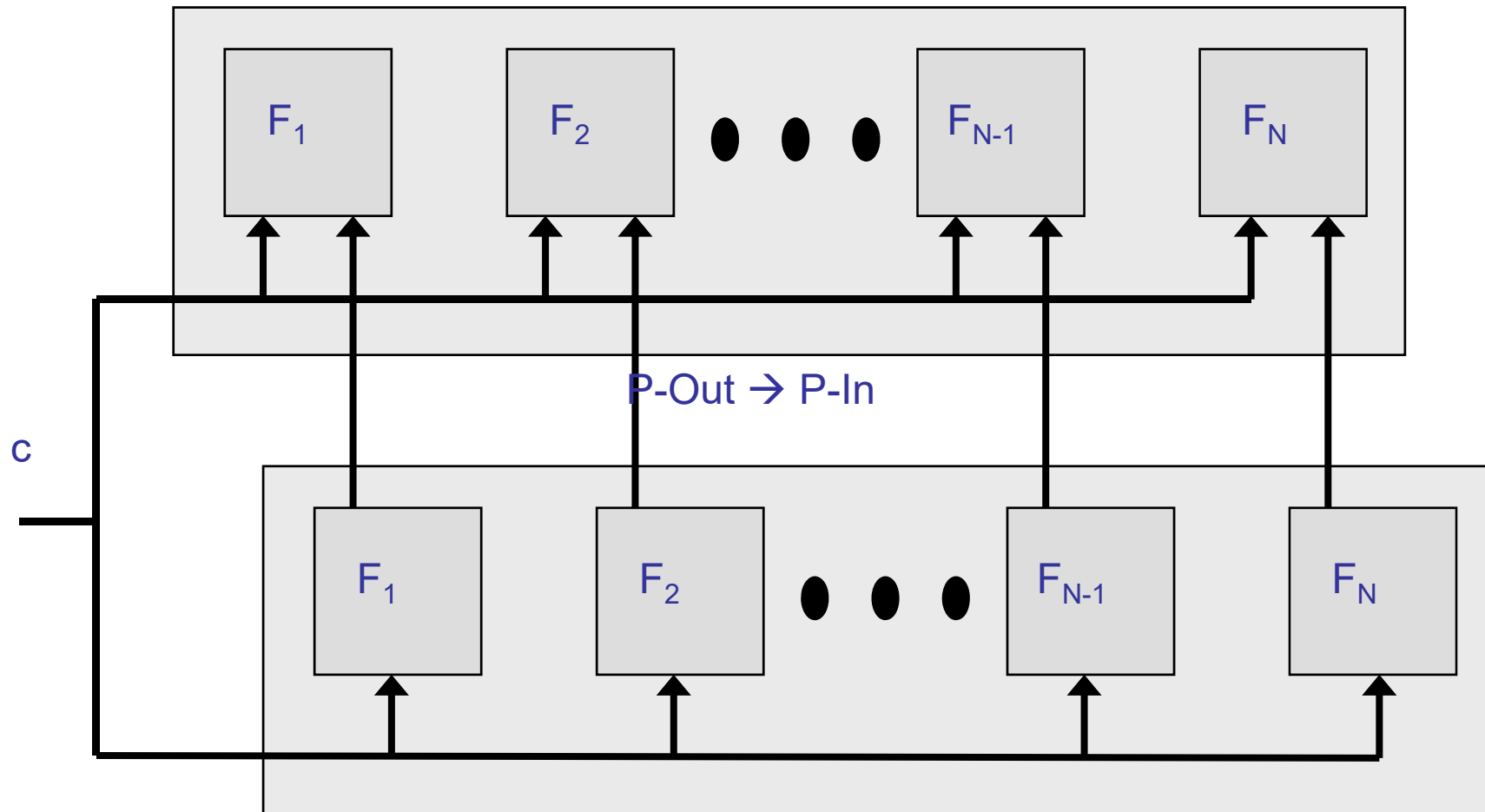
P-Out



Trasferimento seriale



Trasferimento parallelo



Counter

- Realizzato con f-f T per diversi scopi:
 - Scaler: genera clock a frequenze sottomultiple di quella del clock principale
- Gli stati dei f-f effettuano un conteggio binario
- Il Clk può essere unico o comandare tutti i f-f (asincrono, sincrono)

